

DOI:10.13875/j.issn.1674-0637.2019-01-0026-07

应用于 UTC(NTSC)远程复现终端中的 时间间隔计数器的设计与验证*

刘琼瑶^{1,2,3}, 刘音华^{1,2,3}, 刘正阳^{1,3}, 李孝辉^{1,2,4}

- (1. 中国科学院 国家授时中心, 西安 710600;
2. 中国科学院 时间频率基准重点实验室, 西安 710600;
3. 中国科学院大学, 北京 100049;
4. 中国科学院大学 天文与空间科学学院, 北京 101048)

摘要:在 UTC(NTSC)远程复现终端中,时间间隔计数器的分辨率和测量精度直接影响着最后的复现精度,为更准确地将我国标准时间 UTC(NTSC)传递给用户,不仅要寻求性能更高的授时手段,时间间隔计数器的设计也尤为重要。介绍了一种基于无间隙卫星共视的 UTC(NTSC)远程复现系统及其核心部分——时间间隔计数器的设计与验证。时间间隔计数器基于 FPGA(field-programmable gate array)加法进位链设计,实验验证其测量误差小于 100 ps,对 UTC(NTSC)远程复现终端的复现误差贡献小于 1%,满足 UTC(NTSC)远程复现终端对时间间隔计数器的应用需求。

关键词:时间复现;卫星共视;时间间隔计数器;现场可编程门阵列;进位链

Design and verification of TIC in UTC(NTSC) remote reproducing terminal

LIU Qiong-yao^{1,2,3}, LIU Yin-hua^{1,2,3}, LIU Zheng-yang^{1,3}, LI Xiao-hui^{1,2,4}

- (1. National Time Service Center, Chinese Academy of Science, Xi'an 710600, China;
2. Key Laboratory of Time and Frequency Primary Standards, Chinese Academy of Science, Xi'an 710600, China;
3. University of Chinese Academy of Sciences, Beijing 100049, China;
4. School of Astronomy and Space Science, University of Chinese Academy of Sciences, Beijing 101048, China)

Abstract: For UTC(NTSC) remote reproducing terminal, the resolution and measuring accuracy of the time interval counter (TIC) will directly affect the final reproducing accuracy. In order to transmit the national standard time UTC (NTSC) to users more accurately, not only timing method with better performance is needed, but the design of TIC is also important. This paper introduces a UTC (NTSC) remote reproducing system based on gapless satellite common view and the design and verification of its time interval counter. The TIC in this paper is designed based on FPGA additional carry chain, the experimental results show that its measuring error is less than 100 ps and it contributes less than 1% to the total error of the terminal, can meet the actual application requirements.

* 收稿日期:2018-08-23;接受日期:2018-10-21

基金项目:中国科学院“西部之光”人才培养计划西部青年学者资助项目(XAB2016A05)

作者简介:刘琼瑶,女,硕士研究生,主要从事高精度时间测量与控制研究。

Key words: time reproducing; satellite common view; time interval counter; field-programmable gate array(FPGA); carry chain

0 引言

中国科学院国家授时中心承担着我国标准时间的产生、保持和发播等重大任务。将国家基准时间 UTC(NTSC)以更准确、更经济的手段传播给用户,是科学家们坚持不懈研究的目标。目前为止,主要的授时手段有长短波授时、低频时码授时、互联网授时、卫星单向授时、卫星共视、卫星双向比对、光纤传递等。其中,光纤时间传递是目前为止授时精度最高的时间传递方法,时间比对不确定度优于 1 ps,但是其成本较高,长短波授时、卫星单向授时等方法成本较低,用户只要具备相应的接收机即可,但其精度也低,短波的授时精度约为 1 ms,长波约为 1 μ s,卫星单向授时为 100 ns 左右^[1-3],这些方法均不能满足高精度时间服务的需求。卫星共视法于 1999 年被国际电信联盟采纳为计算协调世界时的方法,相比其他授时手段,其比对精度较高,并且成本适中,成为现在广泛使用的时间比对方法^[4]。

传统的卫星共视法每个观测周期都存在 3 min 的死时间,且观测结束后才进行数据处理,使得比对结果滞后,存在较大的局限性^[5]。国家授时中心针对该问题对卫星共视法进行了改进,通过连续时间比对的方法设计了 UTC(NTSC)远程复现系统。

在 UTC(NTSC)远程复现终端中,时间间隔的精密测量是关键的一个环节,且时间间隔的测量精度直接影响着最后的复现精度,因此要提高系统的复现精度,设计更高精度的时间间隔计数器也是十分重要的。目前,通讯、导航等各行业领域对时间频率信号的准确度要求越来越高,为满足更多用户的需求,不仅要探索更高性能的授时手段,还要设计更精密的时间频率信号的测量方法。本文基于 FPGA(field-programmable gate array)加法进位链设计了时间间隔计数器,并在 UTC(NTSC)远程复现终端中进行了验证。

1 UTC(NTSC)远程复现原理

远程复现系统基于卫星共视原理进行时间比对:时间基准端和复现端的接收机在同一个共视时间表作用下,在同一时刻观测同一颗卫星,事后进行数据交换,计算出基准端和复现端的钟差,实现两地的时间比对^[6-7]。

基于卫星共视法的原理,国家授时中心设计了 UTC(NTSC)远程复现终端,其原理图如图 1 所示。

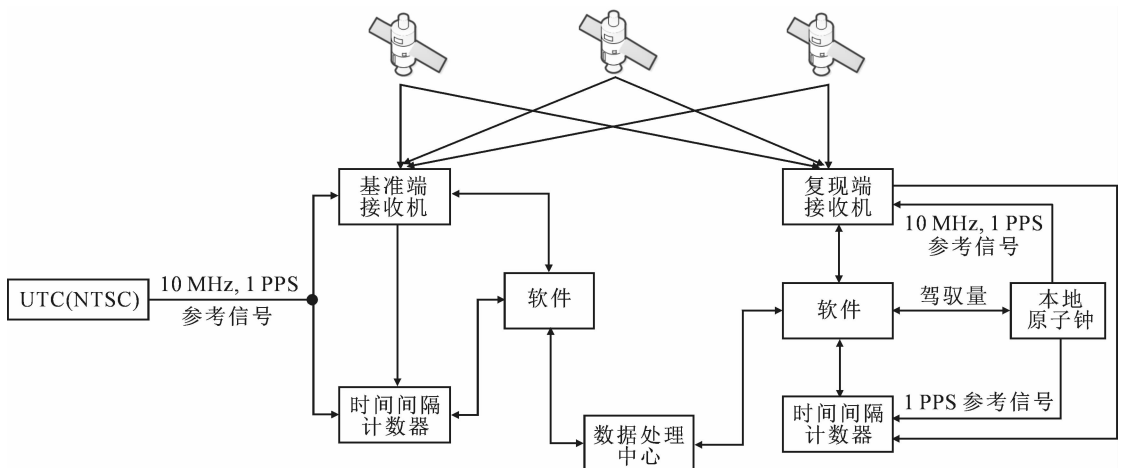


图 1 UTC(NTSC)远程复现原理图

该系统通过连续时间频率比对的方法进行 UTC(NTSC) 远程复现。工作原理就是:时间基准端和复现端同时观测所在地的共同可视卫星,通过时间间隔计数器分别测得国家标准时间 UTC(NTSC) 与导航系统时间、本地原子钟与导航系统时间之间的钟差,并将测得的钟差传送至数据处理中心,抵消钟差、部分星历误差以及大部分路径时延,得到复现端与基准端的时间偏差,并将其反馈至 UTC(NTSC) 复现终端,UTC(NTSC) 复现终端根据收到的数据及历史结果,输出一个对时间复现端本地原子钟的驾驭量,控制复现端本地原子钟的输出,使其与基准端的标准时间 UTC(NTSC) 同步,从而实现 UTC(NTSC) 远程复现^[1-4]。

在上述的 UTC(NTSC) 远程复现系统中,UTC(NTSC) 的准确复现依赖于对复现端与基准端时间偏差的准确测量,而时间间隔计数器在这个过程中起到了决定性作用,其测量精度直接影响着最后的时间复现精度。因此,对于整个系统而言,设计一个高精度、稳定性好的时间间隔计数器是必须的。

2 时间间隔计数器

在 UTC(NTSC) 复现终端中,时间间隔计数器主要是测量两个不同来源的 1 PPS 信号之间的时间间隔,针对此应用需求,笔者基于精密时间内插法设计了测量范围为 0~1 s 的时间间隔计数器。

2.1 时间间隔计数器的测量原理

时间间隔计数器的设计采用“粗+细”的测量模式,原理如图 2 所示。

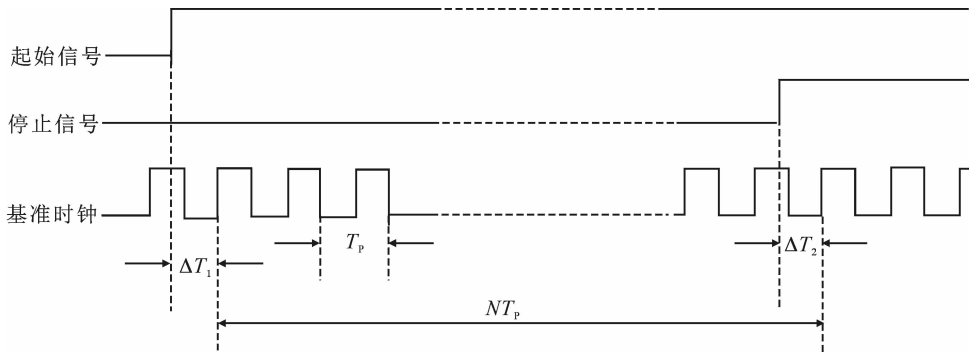


图 2 时间间隔测量原理

粗测量部分采用脉冲计数法,通过周期为 T_p 的基准时钟进行直接脉冲计数,粗测量部分计数结果为 N ,则该部分测量的时间间隔为 NT_p ^[8]。但是该部分测量分辨率为 T_p ,对于小于 T_p 的时间间隔,如图 2 所示的 ΔT_1 和 ΔT_2 的测量则通过细测量实现。

最终待测量的起始信号与停止信号之间的时间间隔为:

$$T = NT_p + \Delta T_1 - \Delta T_2. \quad (1)$$

细测量部分通过利用 FPGA 内部的加法进位延迟链资源实现时间的精密内插,从而有效提升测量的分辨率。FPGA 芯片中具有大量的逻辑单元 LE,LE 之间具有用于快速进位功能的进位链,其 carry-in 到 carry-out 的进位延迟一般都在几十皮秒,且各级 LE 之间没有多余的走线延迟^[9]。将 LE 之间的进位延迟作为精密时间内插的最小延迟单元,理论上可以将时间间隔测量的分辨率至少提高到 100 ps,足够满足时间复现精度的需求。

2.2 进位链的设计

FPGA 中进位连线是为了加减法运算而设计的,各级进位连线之间没有任何关系,要将它们级联起来,才能形成一个完整的测量链路。串行加法器可以将各级进位连线级联起来,如图 3 所示。

第一级加法器的两个输入端分别接起始信号和高电平,其余加法器的两个输入端分别接低电平和高电平,当起始信号的上升沿到来时,就会在所构建的进位链中进行传播。各级加法器的输出端均接入一个 D 触发器,D 触发器的时钟端接入粗计数的基准时钟信号,当基准时钟信号的上升沿到来时,就可以定位起始信号在进位链中的位置。根据起始信号在进位链中传播的延迟单元个数以及各个延迟单元的时延,从而求

得起始信号上升沿和紧接着的下一个时钟信号上升沿之间的时间间隔,达到细测量的目的^[10]。

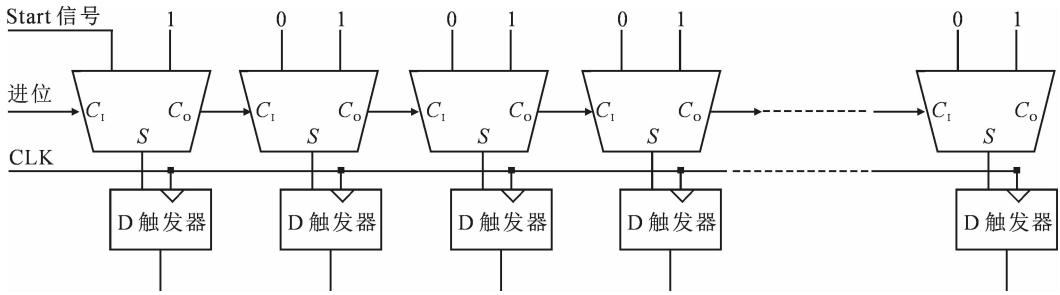


图 3 进位链的设计

2.3 进位链的校准

由于制作工艺等因素的影响,不同型号的 FPGA 器件的进位链时延是不同的;同一器件各级进位延时单元的时延也并不完全相同,并且很容易随着工作环境(温度、电压等)的改变而改变。为了使测量结果更加准确,需对进位链的各级进位延迟单元的时延进行实时校准^[11]。

本文采用基于统计学的码密度法对各个延迟单元的时延进行校准,校准原理如图 4 所示^[12]。

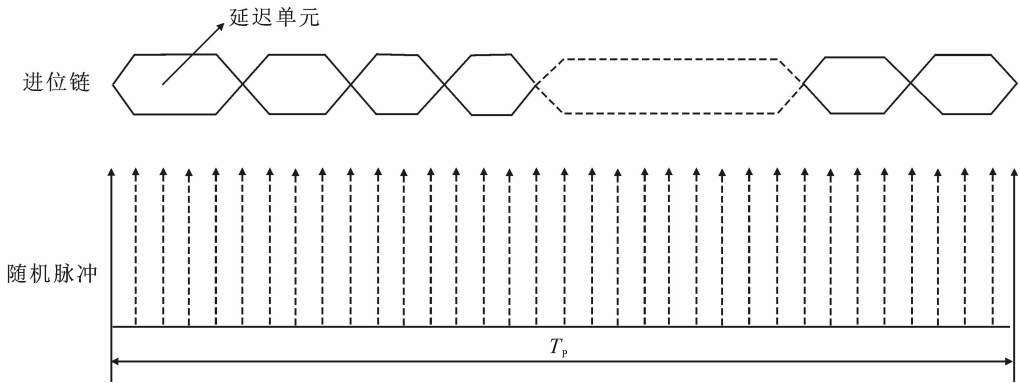


图 4 码密度校准原理示意图

大量具有随机跳变特性的脉冲信号在进位链中传播,同时用周期为 T_p 的粗计数基准时钟信号进行采样,则随机脉冲的跳变将均匀地分布在 $[0, T_p)$ 的区间内,随机跳变落入第 i 级延迟单元内的次数 n_i 正比于第 i 级延时单元的时延 d_i ,当样本数 N 足够大时,则有:

$$\frac{n_i}{N} \approx \frac{d_i}{T_p} \tag{2}$$

可以近似认为进位链中各个延迟单元的时延为:

$$d_i = \frac{n_i}{N} \times T_p \tag{3}$$

当随机跳变落入到第 i 级延迟单元时,总时延 t_i 介于 $\sum_{j=0}^{i-1} d_j$ (记为 t_1) 和 $\sum_{j=0}^i d_j$ (记为 t_2) 之间,若校准值取 t_c ,则测量结果的误差(标准方差)为:

$$\delta^2 = \frac{1}{t_2 - t_1} \int_{t_1}^{t_2} (t - t_c)^2 dt = \frac{(t_2 - t_c)^2 - (t_1 - t_c)^2}{3(t_2 - t_1)} \tag{4}$$

当进位链校准值 $t_c = \frac{t_1 + t_2}{2}$ 时,误差最小,为 $\frac{(t_1 - t_2)^2}{12}$ 。因此,当随机跳变落入到第 i 级延迟单元时,总时延 t_i 取:

$$t_i = \sum_{j=0}^{i-1} d_j + \frac{1}{2}d_i。 \quad (5)$$

但在实际操作中,很难产生真正意义上的随机脉冲,可使用频率与采样时钟不相关的晶振产生的信号代替,但缺点是会引入 $\frac{T_P}{\sqrt{N}}$ 的误差^[13-15]。综合考虑 FPGA 芯片的性能(反应速度、存储空间等)、成本及测量速率,粗计数中选用频率为 250 MHz 的基准时钟,校准信号选用频率漂移较大的 4 MHz 晶振产生,增加校准信号的随机性。另外,通过增加采样样本数可以提高测量精度,如果要求误差小于 10 ps,则采样数必须大于等于 160 000 个。

进位链校准的过程如图 5 所示。对进位链进行校准时,在进位链的开始端输入随机脉冲,在 D 触发器阵列的时钟端输入粗计数的基准时钟作为采样信号,当采样信号的上升沿到来时,通过编码器对 D 触发器阵列的输出进行编码,定位随机脉冲在进位链中传播的位置,并将该位置信息存储到 RAM 存储器中。根据多次采样的结果,按照式(3)和(5)计算出各级进位链的时延,并存储到查找表中,在之后计算测量结果时调用。

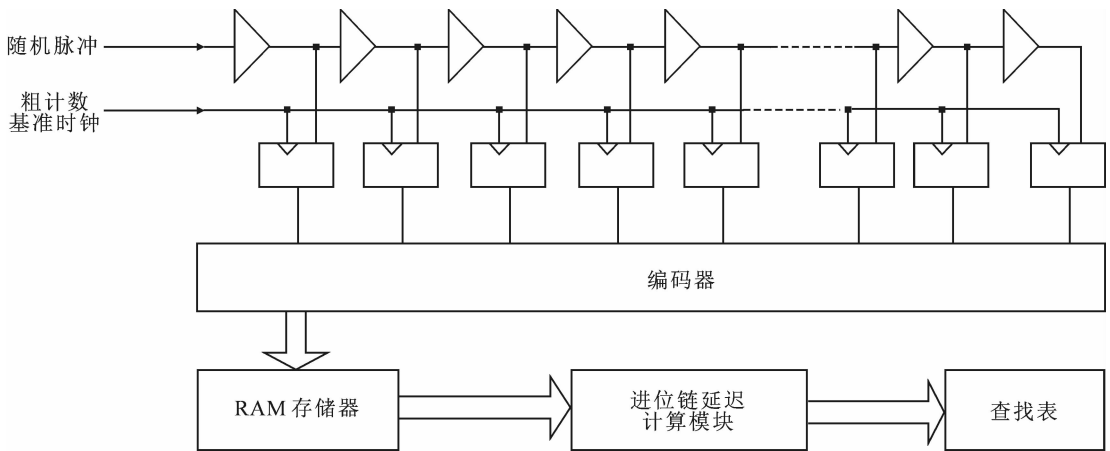


图 5 进位链校准过程示意图

3 时间间隔计数器测量精度分析

本文基于 Altera 公司的 Cyclone IVEP4CGX150DF31C7 器件上设计了时间间隔计数器,并进行了测试验证。试验中测量了上百组不同时间间隔的秒信号,每组秒信号连续测量 1 min,每秒输出一次测量结果,取 60 次(即 1 min)测量的平均值为最终测量结果。表 1 为 10 组 1 PPS 秒脉冲信号时间间隔的实测结果,并与 SR620 的标定结果进行了对比,测量范围从 100 ns 至 999 999 900 ns,测量时间为 1 min。

表 1 时间间隔计数器实测结果

序号	SR620 标定值	测量值	测量偏差	标准偏差
1	102 701	102 651	-50	76
2	2 003 131	2 003 137	6	49
3	10 002 623	10 002 671	48	41
4	100 002 952	100 002 949	-3	20
5	1 000 003 297	1 000 003 202	-95	79
6	30 000 002 447	30 000 002 392	-55	35
7	400 000 003 350	400 000 003 352	2	40
8	990 000 002 562	990 000 002 792	4	39
9	999 990 003 041	999 990 003 036	-5	43
10	999 999 902 847	999 999 902 818	-29	19

由表 1 中的实测结果可以看出,计数器的测量误差保持在 100 ps 以内,具有较好的准确度;标准偏差小于 80 ps,有较好的稳定度。

为进一步对时间间隔计数器的稳定性进行测试,对多组时间间隔进行了长达 20 h 左右的连续测试,图 6 为对 999 999 903 008 ps 的时间间隔长时间测试的测量结果,测量均值为 999 999 902 209 ps,对测量结果进行系统偏差的校准后,测量值与真值之间的偏差为 68 ps,标准偏差为 78.5 ps。图 7 为该组测量结果的概率分布情况,由图中可以看出,测量结果基本满足正态分布,均值在 999 999 902 200 ps 左右,符合实际情况。

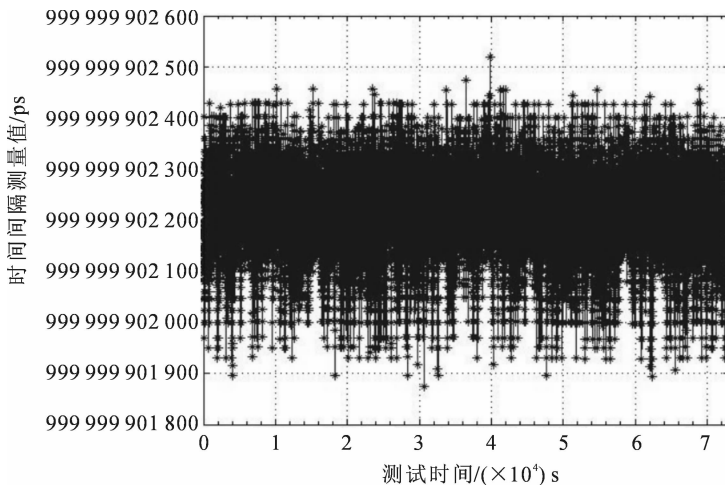


图 6 时间间隔计数器长期测量结果

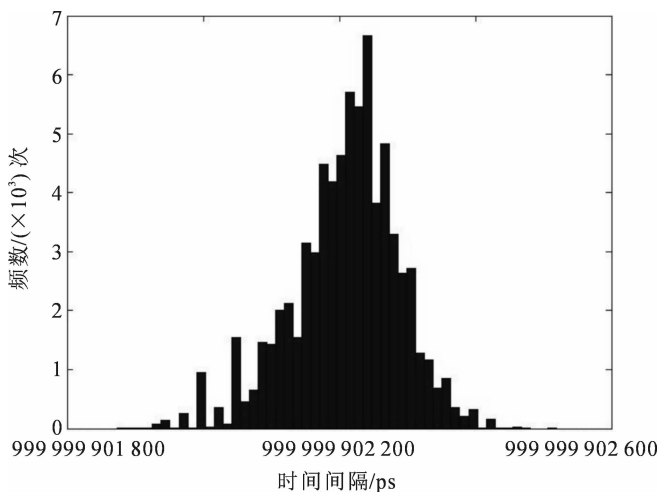


图 7 测量结果的分布情况

4 UTC(NTSC)远程复现结果分析

将基于 FPGA 加法进位链设计的时间间隔计数器应用到 UTC(NTSC)远程复现终端中,复现由临潼至西安卫星导航试验场的时间,对远程复现终端连续测试 100 h,实现结果如图 8 所示。

图 8 所示的试验中,每隔 1 min 采样一次,即 1 min 输出一次复现端与基准端的时间差值,单位为 ns。表 2 为对复现结果的统计分析,用复现端与基准端的差值(复现误差)来表征该 UTC(NTSC)远程复现的准确度,复现误差的标准偏差表征该系统的稳定度。根据对复现结果的统计分析,可以得到 UTC(NTSC)远程复现的准确度始终保持在 ± 10 ns 以内,而时间间隔计数器的测量误差小于 100 ps,对 UTC(NTSC)远程复现误差的贡献小于 1%。

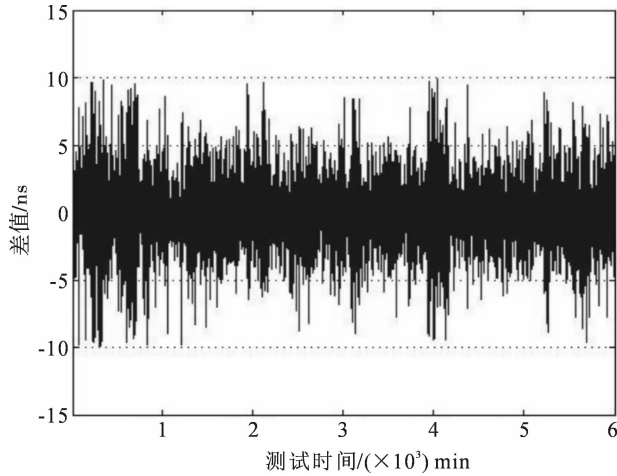


图 8 复现端与基准端的时间差值

表 2 对复现误差的统计分析

最大值	最小值	标准偏差
9.913	-9.914	2.829

5 结论

基于 FPGA 加法进位链,设计了时间间隔计数器,并且基于码密度法对进位链进行实时校准。测量了时间间隔在 100 ns 与 999 999 900 ns 之间的多组信号,实验结果表明,该时间间隔计数器测量准确度优于 100 ps,稳定度也保持在 80 ps 以内,性能较好。

将该计数器应用于基于卫星共视的 UTC(NTSC)远程复现终端中,连续测试 100 h,时间复现的准确度保持在 ±10 ns 以内,稳定度优于 5 ns,时间间隔计数器对 UTC(NTSC)远程复现终端的复现误差贡献小于 1%,完全满足 UTC(NTSC)远程复现终端中时间间隔计数器的应用需求,具有一定的推广价值。

参考文献:

- [1] 陈瑞琼. UTC(NTSC)远程复现方法研究与工程实现[D]. 西安:中国科学院国家授时中心,2016.
- [2] 刘娅,陈瑞琼,赵志雄,等. UTC(NTSC)远程高精度复现方法研究及工程实现[J]. 时间频率学报,2016,39(3):178-192.
- [3] 许龙霞. 基于共视原理的卫星授时方法[D]. 西安:中国科学院国家授时中心,2012.
- [4] 陈瑞琼,刘娅,李孝辉. 基于改进的卫星共视法的远程时间比对研究[J]. 仪器仪表学报,2016,37(4):757-763.
- [5] 高小珣,高原,张越,等. GPS 共视法远距离时间频率传递技术研究[J]. 计量学报,2008,29(1):80-83.
- [6] 陈瑞琼,刘娅,李孝辉. 基于卫星共视的远程时间频率校准系统[J]. 电子测量与仪器学报,2016,30(1):38-44.
- [7] 赵当丽,胡永辉,翟慧生,等. 基于卫星共视技术的电网时间同步[J]. 电力科学与技术学报,2011,26(3):20-24.
- [8] 李孝辉,杨旭海,刘娅,等. 时间频率信号的精密测量[M]. 北京:科学出版社,2010.
- [9] 黄海舰. 基于 FPGA 时间内插技术的 TDC 设计[D]. 武汉:华中师范大学,2013.
- [10] 方化潮,郑利兵,方光荣,等. 一种基于 FPGA 进位延迟链的 IGBT 栅极电压米勒时延的高精度测量方法研究[J]. 电工电能新技术,2015,34(11):75-80.
- [11] PELKA R, KALISZ J, SZPLET R. Nonlinearity correction of the integrated time-to-digital converter with direct coding[J]. IEEE Transactions on Instrumentation and Measurement, 1997, 46(2):449-453.
- [12] 贾云飞,钟志鹏,许孟强,等. 基于码密度法的时间数字转换器非线性校正方法研究[J]. 测控技术,2015,34(1):142-145.
- [13] WU J Y. Several key issues on implementing delay line based TDCs using FPGAs[J]. IEEE Transactions on Nuclear Science, 2010, 57(3):1543-1548.
- [14] RIVOIR J. Fully-digital time-to-digital converter for ATE with autonomous calibration[C]//IEEE International Test Conference, California, USA: IEEE, 2006: 1-10.
- [15] RIVOIR J. Statistical linearity calibration of the time-to-digital converters using a free-running ring oscillator[C]//IEEE 15th Asian test symposium, Fukuoka, Japan: IEEE, 2006.