

DOI: 10.13875/j.issn.1674-0637.2019-03-0240-08

# 基于码密度法的 FPGA 进位链时延标定

蔡东东<sup>1,2,3</sup>, 何在民<sup>1,2,3</sup>, 刘正阳<sup>1,2,3</sup>, 樊战友<sup>1</sup>, 武文俊<sup>1,2,3</sup>

(1. 中国科学院 国家授时中心, 西安 710600;  
2. 中国科学院 时间频率基准重点实验室, 西安 710600;  
3. 中国科学院大学, 北京 100049)

**摘要:** 现场可编程门阵列 (FPGA) 内部专用进位链资源可应用于时间数字转换 (TDC) 的高精度测量。各级专用进位链的延迟时间很小, 一般量级为数十皮秒至一百多皮秒。基于 FPGA 实现 TDC 精密测量要解决的一个核心问题是如何精确标定各级进位链的延迟时间, 码密度法是实现延迟时间标定行之有效的手段之一。基于 EP2S60F1020C4 芯片, 通过向进位链输入基准时钟周期范围内大量的随机脉冲, 经统计处理得到每一级进位链单元的延迟时间。测试表明, 延迟时间测量的分辨率为 42.6 ps。

**关键词:** 现场可编程门阵列; 时间数字转换; 码密度法; 时间间隔测量; 专用进位链

## Calibration of FPGA carry chain delay based on code density method

CAI Dong-dong<sup>1,2,3</sup>, HE Zai-min<sup>1,2,3</sup>, LIU Zheng-yang<sup>1,2,3</sup>, FAN Zhan-you<sup>1</sup>, WU Wen-jun<sup>1,2,3</sup>

(1. National Time Service Center, Chinese Academy of Sciences, Xi'an 710600, China;

2. Key Laboratory of Time and Frequency Primary Standards, Chinese Academy of Sciences, Xi'an 710600, China;

3. University of Chinese Academy of Sciences, Beijing 100049, China)

**Abstract:** The dedicated carry chain resources inside the field-programmable gate array (FPGA) can be applied for the high-precision measurement of time-to-digital conversion (TDC). The delay time for dedicated carry chains at all levels is very tiny, typically ranging from a few tens of picoseconds to one hundred picoseconds. One of the key issues to be solved in FPGA based TDC precision measurement is how to calibrate the delay time in all stages of the carry chain accurately. The code density method is one of the most effective ways to implement the delay time calibration. Based on the EP2S60F1020C4 chip, a large number of random pulses within a certain period of time are input into the carry chain, and the delay time at each level of carry chain unit is obtained by statistical processing. Tests have shown that the resolution of the delay time measurement is 42.6 ps.

**Key words:** field-programmable gate array (FPGA); time-to-digital conversion (TDC); code density method; time interval measurement; dedicated carry chain

收稿日期: 2019-01-20; 接受日期: 2019-03-22

基金项目: 中国科学院“西部之光”人才培养计划西部青年学者 A 类资助项目 (XAB2017A05); 国家自然科学基金资助项目 (11703030)

作者简介: 蔡东东, 男, 硕士, 主要从事精密时间测量研究。

## 0 引言

精密时间间隔测量技术在激光测距,核医学影像,卫星授时和高能物理实验等领域意义重大且应用广泛。为满足上述领域的需求,时间间隔的测量分辨率需要达到亚纳秒,甚至数十皮秒的量级<sup>[1]</sup>。现场可编程门阵列(field-programmable gate array, FPGA)具有设计灵活、集成度高和门延迟小等优点<sup>[2]</sup>,使得基于 FPGA 的时间数字转换(time-to-digital converter, TDC)电路的实现方法变得越来越通用<sup>[3-4]</sup>。

FPGA 中相邻位置的专用进位链延迟很小,借助于一个多位加法器可以获得均值小于 100 ps 的时间刻度,基于此,利用专用进位链可以实现分辨率优于百皮秒的精密时间测量,因此精确得到各级专用进位链的延迟时间是实现精密时间测量技术的前提和关键。基于 FPGA 特定的物理结构,跨越 LAB 和半个 LAB 之间的进位链延迟时间要远大于 LE 之间的延迟,其次,进位链单元的延迟时间除了随其位置的变化而变化,还受到供电电源电压和所处环境温度的影响而发生变化。对于相应的影响,可以引入相关的校正系数来补偿其影响,但是这种方法无疑会增加设计的复杂度和 FPGA 资源的占用<sup>[5-6]</sup>。笔者采用码密度法来通过对延迟单元进行测试,标定出各个延迟单元的延迟时间,进而可以实时校准测量结果。

## 1 基于 FPGA 进位链的 TDC 原理

脉冲计数法因其原理简单,易于实现而广泛应用于测时分辨率要求较低场合,其测时原理如图 1 所示。图中  $T$  是 Start 和 Stop 之间的待测时间间隔, $T_c$  为基准时钟的周期, $N_c$  为基准时钟周期个数, $\Delta T_a$  和  $\Delta T_b$  分别为 Start 和 Stop 与紧接着的下一个基准时钟上升沿之间的时差<sup>[7-8]</sup>。

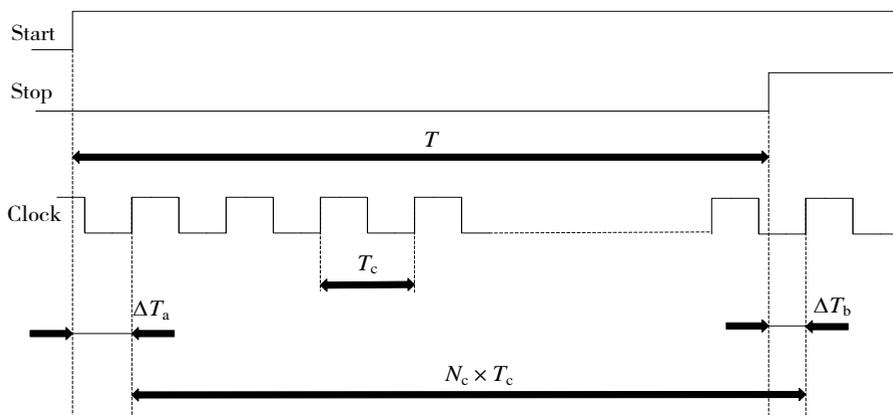


图 1 脉冲计数法的原理图

待测时间间隔  $T = N_c \times T_c + \Delta T_a - \Delta T_b$ , 而脉冲计数法由于其测量原理,只能测得  $N_c \times T_c$  的部分。因此该方法的测量误差  $\Delta T = \Delta T_b - \Delta T_a$ , 且  $\Delta T$  处于  $(-T_c, T_c)$  的区间内。该误差是由 Start 和 Stop 的上升沿与基准时钟上升沿的未严格对齐导致。

显而易见,基准时钟的频率越高,脉冲计数法的测量越准确,但是亚纳秒级周期的基准时钟需要达到数 GHz 的频率。由于技术和成本的限制,这种方法绝非上策。基于 FPGA 的 TDC 方法可以利用 FPGA 内部的专用进位延迟作为基本延迟单元,每个延迟单元的延迟时间在数十皮秒至一百多皮秒不等,可以大幅提高时间测量的分辨率。

利用串行多位加法器将 FPGA 内部的专用进位链级联成链,如图 2 所示,第一级加法器的加数端接入 Start 信号,其余加法器的加数端接低电平,各级加法器的被加数端都接高电平,进位端都级联成链。当 Start 信号到来,第一级加法器的进位输出端  $C_0$  由低电平紧接着变为高电平,并传送到与其级联的下

一级加法器的进位链输入端  $C_i$ ，如此，进位信号会沿着进位链逐级往下传输，各级加法器的输出  $S$  也会由高电平逐级变为低电平。

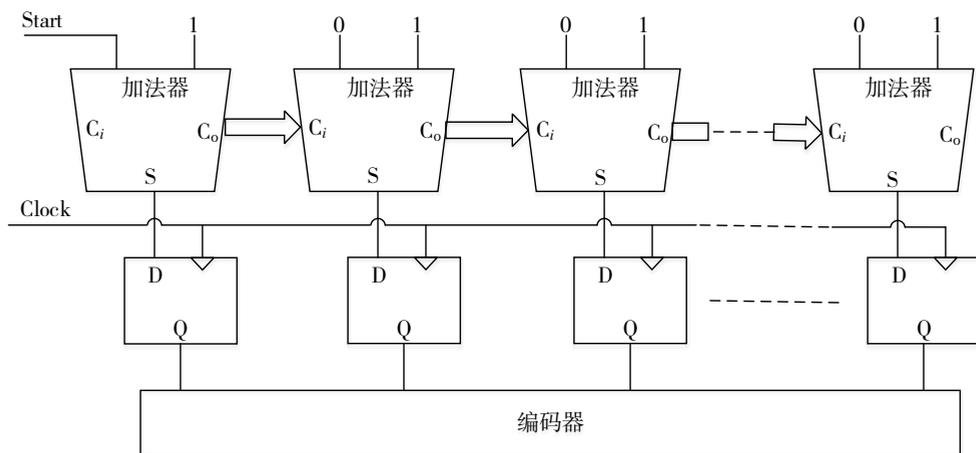
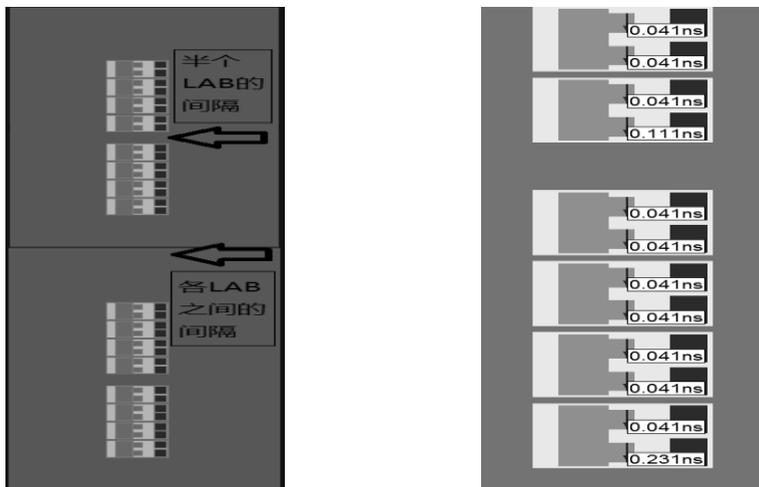


图 2 基于 FPGA 进位链的 TDC 方法

进位链下方的一组 D 触发器在 Clock 上升沿来临后把各级加法器的输出结果锁存，通过确认输出结果中 1—0 跳变的位置即可判断进位信号在进位链的位置。

因为底层物理结构的关系，FPGA 内部专用进位链的时延并非一成不变的。以设计采用的 Stratix II 系列器件为例，其最小逻辑单元称为自适应逻辑模块 (adaptive logic module, ALM)，每个 ALM 可以进行功能自适应“等同于”两个逻辑单元 (logic element, LE)，每 8 个 ALM 组成 1 个逻辑阵列块 (logic array blocks, LAB)。由于制造工艺的限制，LAB 与 LAB 之间的信号延迟时间远远大于 LAB 内部 LE 与 LE 之间的时延，这就从根本上决定了多级进位链延迟时间的收敛性不一致。实际的测量结果也表明，每 8 个 LE 会产生一个较大的延迟时间，且跨越 LAB 的延迟也略大于半个 LAB 的延迟。LAB 的构成如图 3 (a) 所示。各个延迟单元的延迟时间可以通过查看 Quartus II 软件中的 Timequest 得到，如图 3 (b) 跨越 LAB 的延迟时间为 231 ps，半个 LAB 之间的为 111 ps，其余 LAB 内部的为 41 ps。然而，实际延迟时间受到温度和电压的影响，软件提供的只是理论上的参考值。每一级延迟单元的理论参考延迟时间和实际延迟时间的微小差异，都可能会因为累加而放大导致最终计算的累计时间产生较大的偏差。因此，准确、实时的标定各个延迟单元实际的延迟时间对 TDC 测量时间间隔意义重大。



(a) LAB 的构成

(b) LAB 内部进位链的延迟时间

图 3 LAB 的构成及其内部进位链的延迟时间

## 2 码密度法时延校准原理

在基准时钟未来临时，随机脉冲在延迟单元上逐级向后传输。由于设计的延迟链足够长，可以保证基准时钟来临后，随机脉冲会落在某一级延迟单元。显然当传输的时间为  $T_c$  时，随机脉冲所经过延迟单元的级数最多。使用大量的随机脉冲作为 Start 的输入，各个跳变的取值区间为  $[0, T_c)$  且尽可能地均匀分布于该区间。

统计得到的随机脉冲落在每一级延迟单元的次数，即可称为码密度。当样本容量足够大，即可以认为输入的跳变均匀分布在  $[0, T_c)$ 。如果某一级延迟单元的延迟时间越长，那么落在该单元随机脉冲的个数就越多。如图4所示，每个延迟单元的长度代表该单元的延迟时间，对应“容器的水位高”代表脉冲的个数<sup>[8]</sup>。

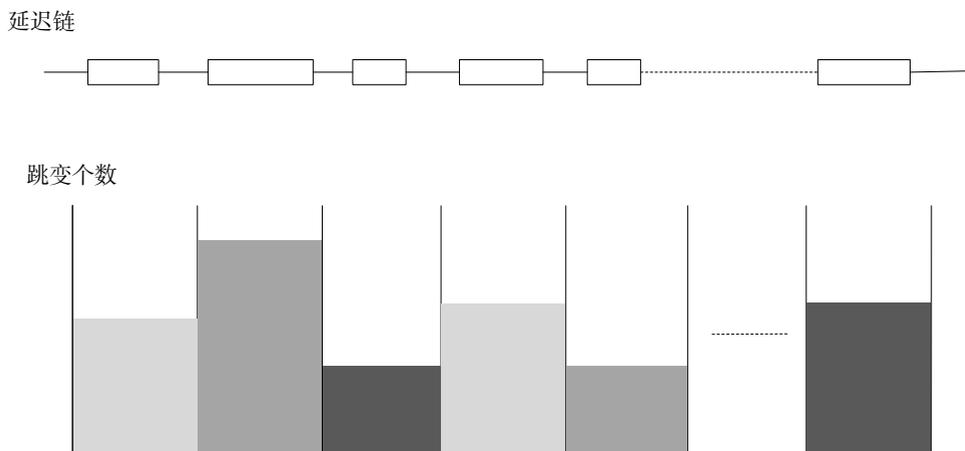


图4 码密度法的原理示意图

### 2.1 码密度法时延计算方法

由于各个随机跳变的取值区间为  $[0, T_c)$  且均匀分布于该区间，输入  $N$  个足够多的跳变，统计跳变落在第  $i$  个延迟单元的个数  $N_i$  与跳变的总数成正比，且比值为第  $i$  个延迟单元的延迟时间  $T_i$  与总的延迟时间  $T_c$  的比值<sup>[9]</sup>，即

$$T_i = T_c \frac{N_i}{N}, \quad (1)$$

式(1)中可以通过对各级延迟单元上跳变次数的统计得到所有延迟单元的延迟时间，再对前  $i$  级延迟单元的延迟时间进行累加，就可以计算出随机脉冲到达每一级延迟单元所用的累计时间  $t_i$ ，即

$$t_i = \sum_{k=0}^i T_c \frac{N_k}{N}. \quad (2)$$

式(1)和(2)中，测量值  $t$  的取值范围为  $[t_{i-1}, t_i]$ ，假设取值为  $t_a$ ，则标准方差为

$$\sigma^2 = \frac{1}{t_i - t_{i-1}} \int_{t_{i-1}}^{t_i} (t - t_a)^2 dt = \frac{(t_i - t_a)^3 - (t_{i-1} - t_a)^3}{3(t_i - t_{i-1})}, \quad (3)$$

当且仅当  $t_a = (t_i + t_{i-1})/2$  时，标准方差达到最小值，所以应取测量值  $t$  为

$$t = \sum_{k=1}^i T_{i-1} + \frac{1}{2} T_i = \left( \sum_{k=1}^i N_{i-1} + \frac{1}{2} N_i \right) \frac{T_c}{N}. \quad (4)$$

## 2.2 码密度法样本数选取策略

跳变的样本个数选取过小,会导致统计结果的偏差过大;反之,又会加剧无谓的计算量。统计落在各个延迟单元的跳变的个数  $N_i$ , 其服从二项分布, 且方差为

$$D(N_i) = NP_i(1 - P_i)。 \quad (5)$$

由式 (4) 可得下式:

$$t < (\sum_{k=1}^i N_k) \frac{T_c}{N}。 \quad (6)$$

由概率论的相关知识可知, 若  $X$ ,  $Y$  是两个随机变量且相互独立, 则有

$$D(X + Y) = D(X) + D(Y)。 \quad (7)$$

设延迟单元的总数为  $N_L$ , 则  $P_i = \frac{1}{N_L}$ , 由于落在各个延迟单元的跳变的个数  $N_i$  相互独立, 由式 (5)

至式 (7) 可得

$$\sigma_i = \sqrt{D_{(i)}} = \frac{T_c}{N} \sqrt{N_L \times NP_i(1 - P_i)} \leq \frac{T_c}{\sqrt{N}}。 \quad (8)$$

本文选用的时钟周期为 125 MHz, 故  $T_c$  为 8 000 ps, 选择的  $\sigma_i$  为 40 ps, 代入上式可知, 选定的样本个数  $N$  应大于 40 000。

## 3 基于码密度法的时延校准设计

码密度法是基于输入大量随机脉冲而精确标定各级延迟单元的延迟时间的方法, 随机脉冲和采样时钟的非相关性越大, 各个延迟单元的延迟时间的标定越准确。为尽可能地满足上述条件, 应使两者的频率不成整数倍的关系<sup>[7]</sup>, 应选用抖动和频率漂移较大的频率源作为随机脉冲的输入, 应使分频后的测试时钟有足够长的时间发生随机变化, 即测试时钟频率尽可能得小。

如图 5 所示, 质量“较差”的频率 10 MHz 恒温晶振分频出的 0.07 MHz 作为随机脉冲的输入, 铷钟产生 10 MHz 倍频的 125 MHz 的时钟作为 TDC 采样信号, TDC 模块测得两者的延时结果由内部逻辑分析仪采集和输出。逻辑分析仪的采样时钟由铷钟产生的 10 MHz 分频的 0.07 MHz 提供, 这样确保了逻辑分析仪在每一个采样时间输出不同的采样结果。内部逻辑分析仪输出的数据样本个数为 53 004 个, 大于理论上的 40 000 个。

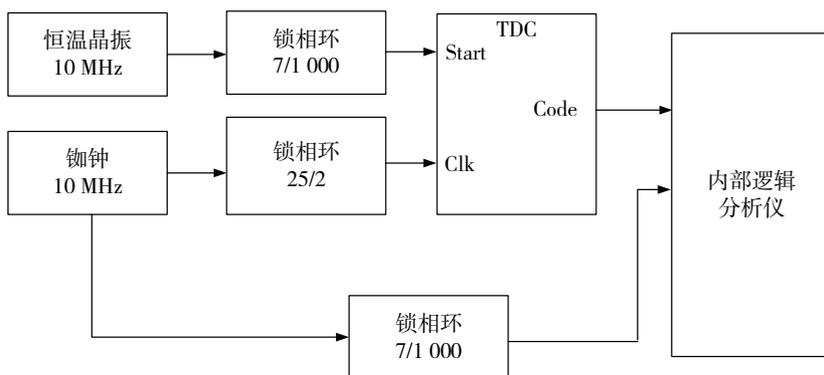


图 5 码密度法时延校准设计框图

### 3.1 码密度法时延校准的硬件实现

本实验选用的是 Altera 公司的 Stratix II 系列的 EP2S60F1020C4 芯片，其内部的专用进位的平均延迟时间略大于 40 ps。由于采用的采样时钟周期为 8 ns，尽可能使得进位链占用整数个 LAB，即进位链的个数为 16 的整数倍，因此本实验设计选用 192 个进位链。

在设计中，尤其要注意：①为避免每次编译导致进位链的位置发生变化，应使用“LogicLock”对进位链的位置进行固定，如图 6 所示，设计将串行多位进位链逻辑锁定在 (X26, Y27~X26, Y38) 这 12 个 LAB 内；②为避免 Quartus II 对加法器专用进位链的优化，以至于延迟信号未通过专用进位链传输，对 Optimization Technique 的设置必须要勾选“Area”，如图 7 所示，进位链信号在专用进位链上逐级传递。

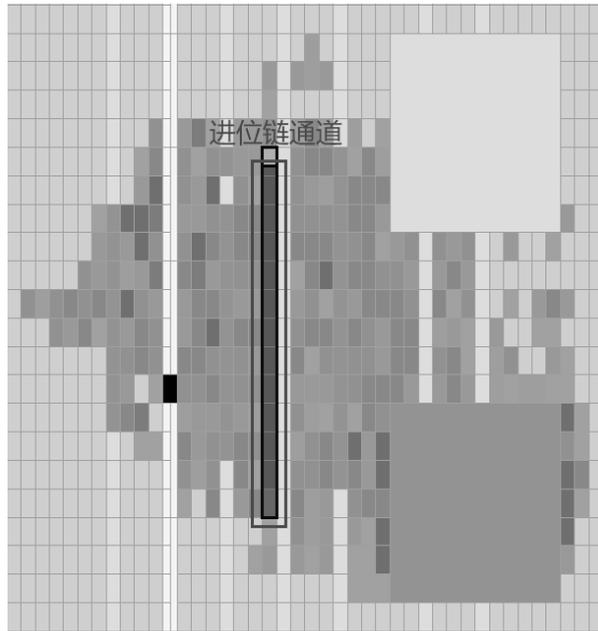


图 6 底层逻辑资源图

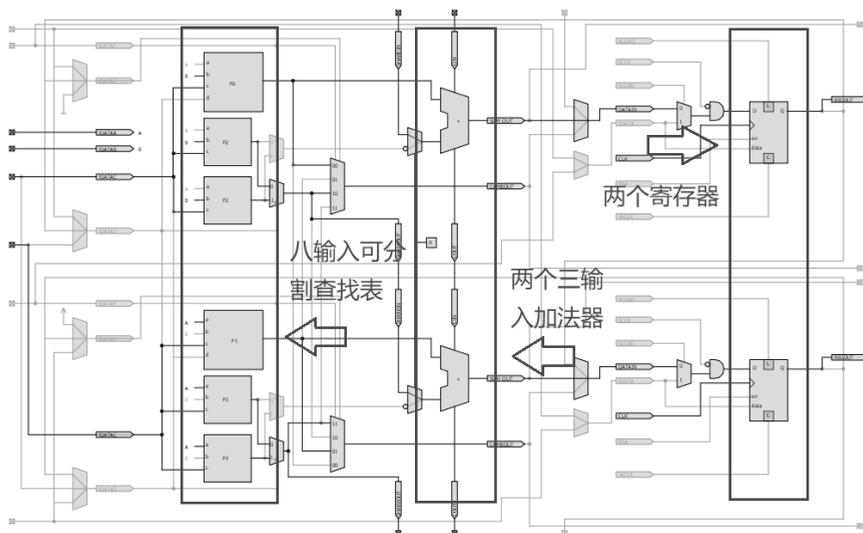


图 7 利用到专用进位链的 ALM

## 4 码密度法时延校准测试结果及分析

对 53 004 个数据样本进行处理, 统计落在各个延迟单元的跳变的个数, 起始信号从输入端口至进位链起始段的延迟较大, 导致落在第一级延迟单元的跳变个数高达 4 672 个。第二级的延迟时间很小且样本数量不够多又导致了落在该级延迟单元的跳变个数为 0, 其余各级的如图 8 所示。跳变在延迟链上最多传递了 176 级, 且第 16, 32, 64, 80 等延迟单元的长度略大于第 8, 24, 40, 56 等延迟单元的长度, 第 8, 16, 24, 32 级的长度远大于其余各级, 这也和 FPGA 内部的特性相符。

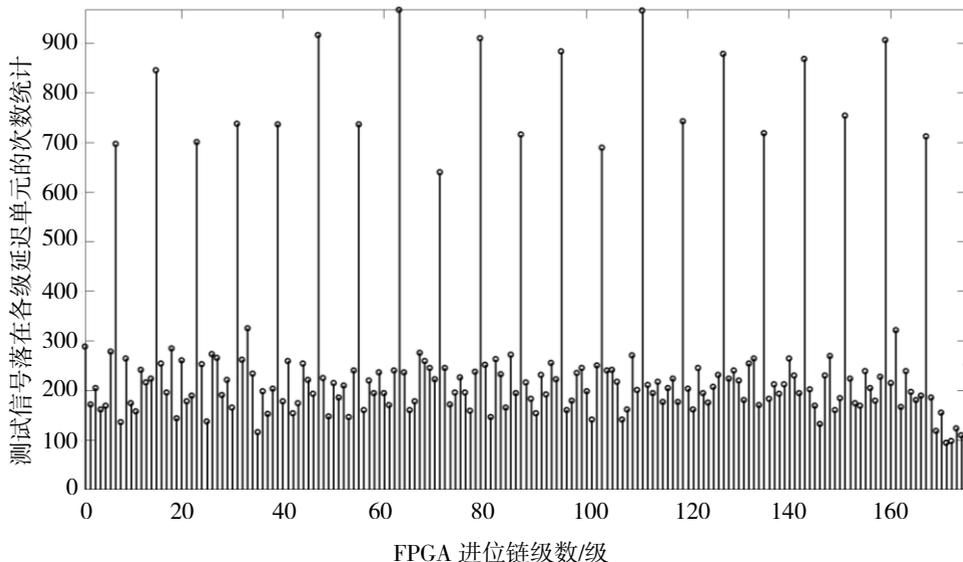


图 8 跳变落在各级延迟单元的个数

由前文可知, 各个延迟单元上跳变的个数正比于其长度, 通过上图的统计结果得到各级延迟单元的延迟时间  $t_i$ , 完成了各级延迟单元的标定。第 8, 16, 24, 32 级的延迟时间分布在 105~150 ps, 其余各级多分布在 20~45 ps 不等。将各级延迟时间代入式 (9), 得到跳变落在各级延迟单元的累计时间, 如图 9 所示。

$$t = \sum_{k=1}^i T_{i-1} + \frac{1}{2} T_i \quad (9)$$

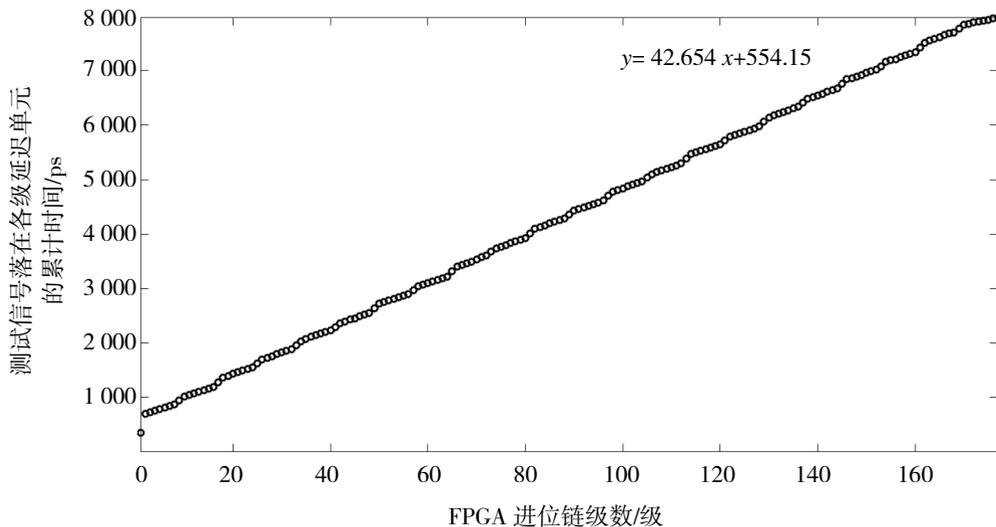


图 9 跳变落在各级延迟单元的累计时间

其拟合曲线为： $y = P \times x + y_0$ ，其中斜率 $P$ 为42.654，也就是说信号在进位链上每多传输1个延迟单元，平均延迟时间多了42.654 ps，因此可以近似认为本设计的分辨率为42.654 ps。

## 5 结语

文章基于Altera的Stratix II系列芯片采用Quartus II软件进行开发设计，采用多级加法器在FPGA内部构建了192级专用进位链，使用码密度法对各级进位链延迟单元进行测试分析，得到随机脉冲在每一级延迟单元的延迟时间，完成了各级延迟单元的标定。测试的结果符合理论预期，表明基于FPGA内部专用进位链级联可以用于实现高精度时间测量。

### 参考文献：

- [1] 安琪. 粒子物理实验中的精密时间间隔测量[J]. 核技术, 2006, 29(6): 453-462.
- [2] PAN W B, GONG G H, LI J M. A 20-ps time-to-digital converter (TDC) implemented in field-programmable gate array (FPGA) with automatic temperature correction[J]. IEEE Transactions on Nuclear Science, 2014, 61(3): 1468-1473.
- [3] WU J Y. Several key issues on implementing delay line based TDCs using FPGAs[J]. IEEE Transactions on Nuclear Science, 2014, 57(3): 1543-1548.
- [4] 贾云飞, 钟志鹏, 许孟强, 等. 基于码密度法的时间数字转换器非线性校正方法研究[J]. 测控技术, 2015, 34(1): 142-145.
- [5] 潘维斌. LHAASO实验高精度时间测量系统研究[D]. 北京: 清华大学, 2014.
- [6] 沈奇. 量子通信中的精密时间测量技术研究[D]. 合肥: 中国科学技术大学, 2013.
- [7] 黄海舰. 基于FPGA时间内插技术的TDC设计[D]. 武汉: 华中师范大学物理科学与技术学院, 2013.
- [8] 许孟强. 基于FPGA进位链的高精度测时仪研制[D]. 南京: 南京理工大学, 2014.
- [9] 方穗明, 王占仓. 码密度法测量模数转换器的静态参数[J]. 北京工业大学学报, 2006, 32(11): 977-981.