

DOI: 10.13875/j.issn.1674-0637.2019-04-0275-09

一种高精度相位微跃 1 PPS 信号发生器的研制

肖波^{1,2,3}, 樊多盛^{1,2}, 王文利^{1,2}, 刘娅^{1,2,3}

- (1. 中国科学院 国家授时中心, 西安 710600;
2. 中国科学院 时间频率基准重点实验室, 西安 710600;
3. 中国科学院大学, 北京 100049)

摘要: 为满足高精度时间同步的需要, 研制了一台高精度相位微跃秒脉冲信号发生器原理样机。分别给出了 DDS (direct digital synthesizer) 和 CPLD (complex programmable logic device) 技术实现信号合成、移相原理, 在此基础上, 深入分析了两种技术的优缺点, 研究将 CPLD 和 DDS 两种技术相结合的方法, 采用 CPLD 对参考信号进行计数延迟的方式实现整数倍周期时间长度的相位粗调, 并合成秒脉冲信号; 结合 DDS 的内部相位偏置寄存器, 实现对合成信号小数倍周期时间长度的相位细调。整个系统采用数字控制合成的方法, 设计简单, 易于控制。实验结果表明, 该发生器产生的秒脉冲信号与参考信号偏差的标准差为 95.8 ps, 相位微跃分辨率 500 ps, 可以满足高精度时间同步过程中高精度相位偏移的要求。

关键词: 秒脉冲信号发生器; 相位微跃; 复杂可编程逻辑器件; 直接数字频率合成技术

Development of a high-precision phase micro stepper 1 PPS signal generator

XIAO Bo^{1,2,3}, FAN Duo-sheng^{1,2}, WANG Wen-li^{1,2}, LIU Ya^{1,2,3}

- (1. National Time Service Center, Chinese Academy of Sciences, Xi'an 710600, China;
2. Key Laboratory of Time and Frequency Primary Standards, Chinese Academy of Sciences, Xi'an 710600, China;
3. University of Chinese Academy of Sciences, Beijing 100049, China)

Abstract: In order to meet the needs of high-precision time synchronization, a high-precision phase micro stepper 1 PPS (pulse per second) signal prototype generator was developed. The working principles of DDS (direct digital synthesizer) and CPLD (complex programmable logic device) technology for signal synthesis and phase shifting are given respectively. On this basis, the advantages and disadvantages of such two technologies are analyzed in depth. A method of combining CPLD and DDS technology is studied, where the CPLD is used to count the reference signal to realize the coarse phase adjustment of the integer multiple period and synthesize the 1 PPS signal, and the internal phase offset register of DDS is used to achieve fine phase adjustment of the fractional period of the signal generated by DDS. The whole system adopts the method of digital control synthesis, which is simple in design and easy to control. The results show that the standard deviation between 1

收稿日期: 2019-04-18; 接受日期: 2019-06-20

基金项目: 陕西省自然科学基金资助项目 (2017KJXX-09; 2018ZDXM-GY-011)

作者简介: 肖波, 男, 博士研究生, 主要从事精密时间频率测量研究。

PPS signal and the reference signal is 95.8 ps, and the phase micro stepper resolution is 500 ps, which can meet the requirement of high-precision phase shift in-high-precision time synchronization.

Key words: 1 PPS signal generator; phase micro-hop; complex programmable logic device (CPLD); direct digital synthesizer (DDS)

0 引言

随着科技的发展,在高速交通工具、深空探索、卫星导航系统、武器精确打击等多个领域要求时间同步的精度达到纳秒级甚至更高。所谓时间同步,即以某一个信号为参考,通过调整另一个信号,使两个信号保持同步^[1]。精密相位微跃技术就是为满足以原子钟为频率源的时频系统间的时间同步需求发展起来的。以频率源输出的频率信号为参考,产生系统时间频率信号,通过高精度比对获得系统间的时间偏差,然后利用相位微跃技术对其中一个系统的信号的频率或相位进行微调,在不改变原子钟输出信号特性的前提下,实现系统间时间频率信号的高精度同步^[2-4]。

本文围绕精密相位微跃方法及高精度 1 PPS 信号的产生原理展开研究,紧密结合实际需求进行了理论分析和工程实践,提出了一种高精度相位微跃秒脉冲信号发生器的研制方法,以外部频率为 10 MHz 的正弦信号作为参考输入,利用直接数字频率合成技术(DDS)和可编程逻辑器件(CPLD),实现了对秒脉冲信号相位的精密调节。

1 工作原理

本文所指的高精度相位微跃 1 PPS 信号,主要是指对 1 PPS 信号在 1 s 周期内以 500 ps 的步进量进行偏移。目前能实现信号高精度相位微跃的方法有很多,如基于 DDS 的相位微跃技术和基于 CPLD 的脉冲信号合成及相位偏移技术等^[5]。

DDS 芯片内部集成有相位偏置寄存器,通过改变相位控制字的值可以实现 DDS 合成信号的相位偏移。在相位控制字位数不变的情况下,DDS 合成信号的频率越大,则周期越小,DDS 所能偏移的时间间隔步进量越小,相位偏移的分辨率越高^[6]。但 DDS 技术只能对合成的信号在单个周期内进行相位偏移,对于整周期的相位偏移会产生相位超前滞后的误判。同时 DDS 技术为了实现高精度的相位偏移,不能合成秒脉冲信号。

CPLD 技术通过计数原理来合成 1 PPS 信号,同时对外部输入的参考脉冲信号进行计数延迟处理,可以对合成的 1 PPS 信号进行相位偏移^[6]。对于以 10 MHz 的标准频率信号作外部参考源,CPLD 产生的秒脉冲信号的相位偏移分辨率理论上仅能达到 0.1 μs 。CPLD 外部输入的参考信号频率越高,其可实现相位偏移分辨率越高。要使相位偏移的分辨率达到 1 ns 甚至更高,则输入的参考信号频率要达到 1 GHz 以上,不适用于典型输出频率为 5, 10, 100 MHz 的频率源作外部参考。

综合考虑以上两种相位偏移技术的特点,本文研制高精度相位微跃 1 PPS 信号发生器,以频率为 10 MHz 标准信号作为外部参考,结合 CPLD 的相位粗调(对参考信号进行整数周期时间长度的相位偏移)和 DDS 的相位细调技术(对 DDS 所合成的信号进行小数倍周期时间长度的相位偏移),既能满足以标准频率信号作为外部参考输入,又能实现对秒脉冲信号相位的精密调节。

1.1 基于 DDS 技术的相位偏移原理

直接频率合成技术(DDS)从相位的角度出发直接进行信号合成,具有分辨率高,信号转换速度快,

相位噪声低等特点。DDS 工作原理框图如图 1 所示。其主要由系统时钟模块、相位累加器、相位加法器、相位幅度转换器、D/A 转换器组成。其中系统时钟模块以外部输入的频率为 10 MHz 的信号为参考，为 DDS 内部的各个部件提供统一的工作时钟 f_{CLK} ； N 位字长的相位累加器以系统时钟 f_{CLK} 为取样间隔，根据设定的频率控制字 FTW 对相位进行线性累加；相位加法器将累加器产生的相位值与设定 M 位的相位控制字（frequency control word, PTW）相加，以此来对输出信号的相位偏移^[7]。

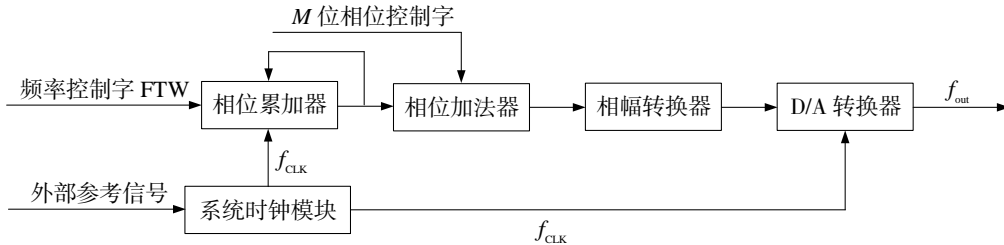


图 1 DDS 工作原理框图

由 DDS 的工作原理可知，DDS 合成的信号频率与频率控制字 FTW 有关，其关系表达式为

$$f_{out} = \frac{R_{FTW}}{2^N} \cdot f_{CLK}, \quad (1)$$

式(1)中： f_{out} 表示输出信号的频率， R_{FTW} 表示频率控制字， f_{CLK} 表示 DDS 内部工作的系统时钟。FTW 参数的选择，关系到 DDS 的小数和整数分频，通常可以根据要得到的输出频率值去逆推 FTW 的值^[8]。考虑到 DDS 本身的截断误差对输出信号频谱杂散的影响，FTW 取值一般为 2 的幂次方^[9-11]。

如图 2 所示为 DDS 相位偏移的示意图。图中圆周的弧度对应着一个信号的相位周期 2π ，将圆周分

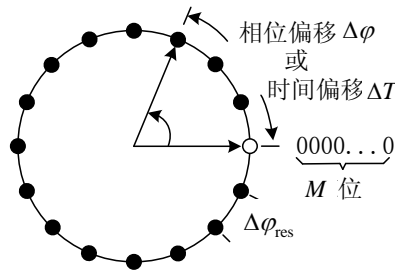


图 2 DDS 相位偏移示意图

成 2^M 等份，则每一份表示 DDS 相位偏移的最小步进量（即相位偏移的分辨率），其表达式为

$$\Delta\varphi_{res} = \frac{2\pi}{2^M}。 \quad (2)$$

通过设置 M 位的相位控制字 PTW 的大小，可以对生成信号进行相位偏移^[12]。生成信号的相位偏移量表达式为

$$\Delta\varphi = \frac{R_{FTW}}{2^M} \cdot 2\pi。 \quad (3)$$

对于输出频率 f_{out} 不同的信号，时间周期 T_{out} ($T_{out}=1/f_{out}$) 相同。即使在具有相同的相位偏移量情况下，其时间的偏移量也不相同。因此可以根据式(4)将相位的偏移转换为时间的偏移，时间偏移的分辨率表达式为

$$\Delta T = \frac{T_{out}}{2^M}。 \quad (4)$$

生成信号的时间偏移量表达式为

$$\Delta T = \frac{R_{FTW}}{2^M} \cdot T_{out}, \quad (5)$$

由式(5)可知,信号的高精度的时间偏移不仅与相位累加器的字长 M 有关,还与合成信号的频率大小有关。为了满足高精度时间偏移的要求,应综合考虑字长 M 与信号频率的取值。常见 DDS 的相位累加器字长 M 一般可以达到 14 位,对于频率为 100 kHz 的信号,则其时间步进量(分辨率)理论上可以达到 0.6 ns。因此可以采用 DDS 技术来合成信号并对其进行高精度相位偏移,以此达到相位细调的目的。

1.2 基于 CPLD 的脉冲信号合成及相位偏移原理

基于 CPLD 的脉冲信号合成及相位偏移原理如图 3 所示。其中计数器 1 用来合成 1 PPS 信号,计数器 2 用来确定要偏移的时间间隔。

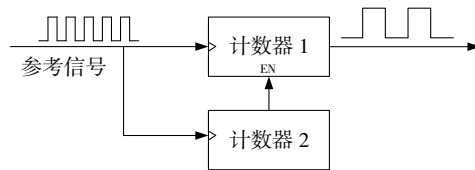


图 3 基于 CPLD 技术的脉冲信号合成及相位偏移原理框图

1 PPS 信号的合成和相位偏移采用 CPLD 中的两个预置计数器分别对输入的参考信号通过周期计数的方式实现分频和相位延迟。在 1 PPS 信号产生之前的初始化阶段,需先给两个计数器设置预置数,其中计数器 1 中的预置基数表示分频系数,计数器 2 中的预置数表示相位延迟的周期数^[13-15]。

图 4 所示为 1 PPS 信号合成及相位粗调波形示意图。在信号移相之前,CPLD 根据计数器 1 中预置数对参考信号进行周期计数,以此实现分频,产生 1 PPS 信号^[16]。若要实现相位偏移功能,则需首先使 CPLD 根据计数器 2 中预置数的值对参考信号进行周期计数,当达到设定的延迟时间后,启动计数器 1 进行 1 PPS 信号的合成^[17]。

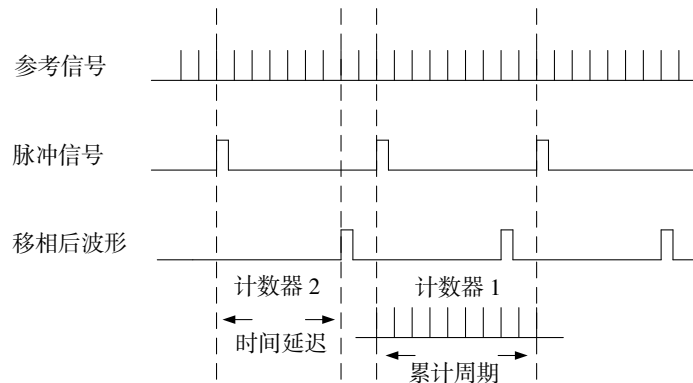
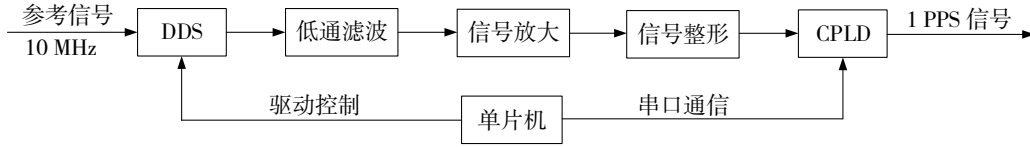


图 4 脉冲信号合成及相位粗调波形示意图

2 1 PPS 信号发生器总体设计

高精度相位微跃秒脉冲信号发生器主要分为相位细调和粗调两个部分来实现 1 PPS 信号的精密移相。其中相位细调部分通过改变 DDS 的相位控制字来实现,工作流程如下:首先外部输入频率为 10 MHz 的参考信号作为 DDS 的系统工作时钟,由单片机驱动控制 DDS,设置合适的频率控制字,使 DDS 输出一个特定频率 f_{out} 的中间信号,DDS 输出信号频率的大小取决于系统设计所要求偏移的最小时间间隔;然后 DDS 输出的中间信号经过放大后再由低通滤波器进行平滑处理形成正弦波形,再经由整形电路转

换成方波作为 CPLD 的参考输入信号；最后计算机通过 RS232 接口将相位偏移数据发送给单片机，单片机根据接收到的相位偏移数据来判断相位偏移的粗调量和细调量，通过串口通信的方式把粗调值发送给 CPLD，通过设置 CPLD 内部计数器 1、计数器 2 的基数值，使 CPLD 合成 1 PPS 信号并对其进行相位粗调。同时单片机将细调值转换成相位控制字，使 DDS 实现相位细调。系统结构框图如图 5 所示。



注：DDS 为直接频率合成器，CPLD 为可编程逻辑器件

图 5 系统结构框图

本文研制的秒脉冲信号发生器要求移相精度达到 0.5 ns，由式 (5) 可知，DDS 输出中间信号的周期最大值或频率最小值应满足：

$$T_{\max} = (2^M \cdot 0.5) \text{ ns} = 2^{14} \times 0.5 \text{ ns} = 8.192 \times 10^{-6} \text{ s}, \quad (6)$$

$$f_{\min} = \frac{1}{T_{\max}} = \frac{1}{8.192 \times 10^{-6}} \text{ Hz} \approx 122.071 \text{ kHz}. \quad (7)$$

对于外部输入频率为 10 MHz 的参考信号，为了避免 DDS 截断误差对输出信号频谱杂散的影响，综合考虑整个电路系统的可行性，选取频率控制字 $R_{\text{FTW}} = 2^{44}$ ，DDS 输出信号频率 f_{out} 或周期 T_{out} 的大小可设定为：

$$f_{\text{out}} = \frac{f_{\text{CLK}} \cdot R_{\text{FTW}}}{2^{48}} = \frac{10 \times 10^6 \times 2^{44}}{2^{48}} \text{ Hz} = 625 \text{ kHz}, \quad (8)$$

$$T_{\text{out}} = \frac{1}{f_{\text{out}}} = \frac{1}{6.25 \times 10^5} \text{ s} = 1.6 \text{ } \mu\text{s}, \quad (9)$$

$$\Delta T_{\text{res}} = \frac{T_{\text{out}}}{2^M} = \frac{1.6 \text{ } \mu\text{s}}{2^{14}} \approx 98 \text{ ps}. \quad (10)$$

当 $f_{\text{out}} = 625 \text{ kHz}$ 时， $f_{\text{out}} > f_{\min}$ ，时间偏移的最小间隔理论上可达到 $\Delta T_{\text{res}} = 98 \text{ ps}$ ，因此可以利用具有 14 位相位控制字的 DDS 芯片实现。整个 DDS 电路系统可实现 0.5 ns~1.6 μs 范围的相位偏移，步进为 0.5 ns。对于 1.6 μs 以上的时间偏移，则可以分为 1.6 μs 的整数周期时间长度的偏移和小于单个周期时间长度范围内的偏移两部分来进行。首先 1.6 μs 的整数周期时间偏移由 CPLD 的粗调来实现，然后小于单个周期时间长度范围内的偏移由 DDS 的细调来实现。

2.1 系统硬件组成

该系统选用的是 ARM 单片机，型号为 STM32F103ZET6。该单片机采用 Cortex-M3 内核，IO 控制端口数量多，同时具有多个串口通信端口，电源供电为 3.3 V。IO 输出电平与 CPLD、DDS 的控制端口电平保持一致^[18]。

DDS 器件选用 AD 公司生产研制的 AD9854 芯片。AD9854 具有 48 位频率控制字和 14 位相位控制字（即 $N = 48$ ， $M = 14$ ），具有较高的频率分辨率和相位分辨率。AD9854 内部集成有高速比较器，DA 输出性能良好，具有极好的动态特性：80 dB SFDR@100 MHz ($\pm 1 \text{ MHz}$) 模拟输出^[19-20]。

低通滤波电路采用的是 7 阶 LC 巴特沃斯无源低通滤波器^[21]，其电路结构和传输特性分别如图 6、图 7 所示。图 6 所示的巴特沃斯无源低通滤波输入输出阻抗均为 50 Ω ，图 7 所表示的滤波器传输特性，其 -3 dB 截止频率点约为 880 kHz。在设计制作低通滤波电路的过程中，应该考虑 PCB 引线和过孔的寄

生参数对电路的影响，使滤波电路达到理想特性^[22]。

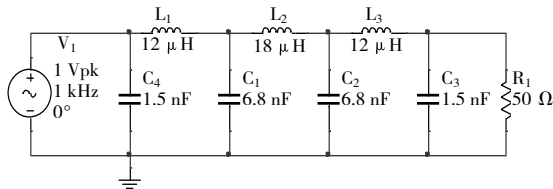


图 6 LC 巴特沃斯低通滤波器电路结构

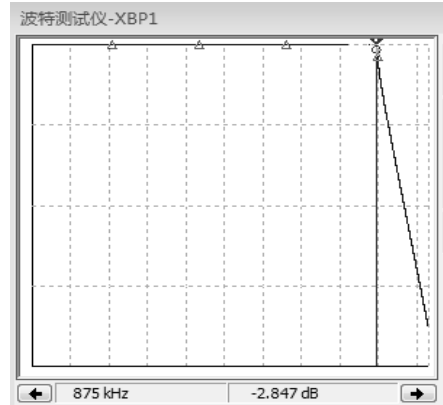


图 7 LC 低通滤波器传输特性

CPLD 器件选用的是 Altera 公司 MAXII 系列 EPM1270T144C5N, 该芯片功耗低、性能稳定。由于 CPLD 是对 DDS 产生的频率为 625 kHz (周期为 1.6 μ s) 经整形后的方波信号进行计数, 当 CPLD 内部计数器 1 计数到 624 999 时, CPLD 的计数器 1 输出一个秒脉冲信号, 改变 CPLD 中计数器 2 的基数值, 可以对计数器 1 产生的 1 PPS 信号进行 1.6 μ s 时间长度的整数倍延迟。

2.2 系统软件设计

系统软件由 STM32 单片机程序和 CPLD 程序两部分组成。STM32 单片机作为系统主控芯片, 系统初始化后写入频率控制字, 控制 DDS 合成信号, 同时通过串口接收来自计算机的相位偏移值, 对相位偏移值进行分析处理后换算成 1.6 μ s 的整数倍和 1.6 μ s 时间内两部分。首先通过单片机的串口将 1.6 μ s 的整数倍值发送给 CPLD 并赋值给计数器 2 的基数值 Q , 通过判断基数值 Q 是否为 0 来确定是否进行相位粗调。若 $Q \neq 0$, 则由计数器 2 进行周期计数延迟后再由计数器 1 合成秒脉冲信号; 若 $Q = 0$, 则计数器 2 不工作, 直接由计数器 1 合成秒脉冲信号^[23]。对于小于 1.6 μ s 时间内的相位偏移, 可通过转换成相位控制字来驱动 DDS 进行相位偏移。软件流程图如图 8 所示。

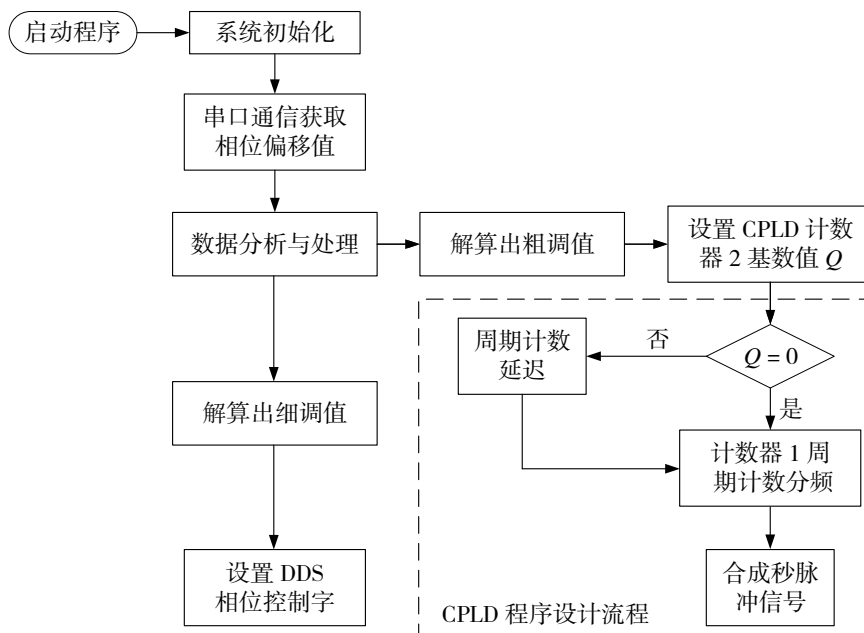


图 8 软件设计流程图

3 实验分析

实验测试的目的主要是验证所研制系统输出 1 PPS 信号的抖动 (jitter) 性能和相位偏移分辨率。通过设计 1 PPS 信号抖动性能测试实验及其相位偏移测试实验，对所研制的设备的工作性能进行评估。

3.1 1 PPS 信号抖动性能测试

在秒脉冲信号抖动性能测试实验中,使用的是中国科学院国家授时中心 UTC(NTSC)的主钟 10 MHz 信号作为参考,经频率分配放大器输出多路信号,一路作为相位微跃 1 PPS 信号发生器的参考输入。另一路作为时间间隔计数器 SR620 的外部参考时钟。使用时间间隔计数器 SR620,以 UTC(NTSC)主钟的 1 PPS 信号为参考,测量相位微跃 1 PPS 信号发生器输出 1 PPS 信号与参考 1 PPS 的时差,以此来评估产生的 1 PPS 信号的抖动性能。测试框图如图 9 所示。

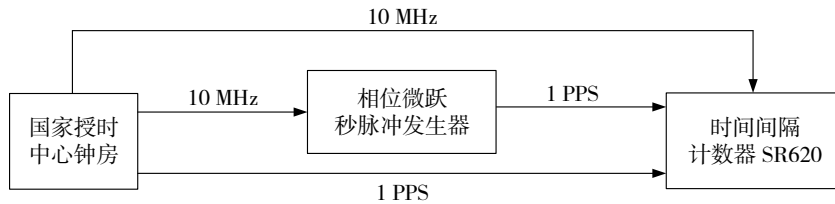


图 9 1 PPS 信号测试框图

使用 SR620 计数器每秒测一个数据,测量时间持续 24 h,总共采样 86 400 个数据。对所采样的数据进行分析 and 归一化处理,得到测试结果如图 10 所示。

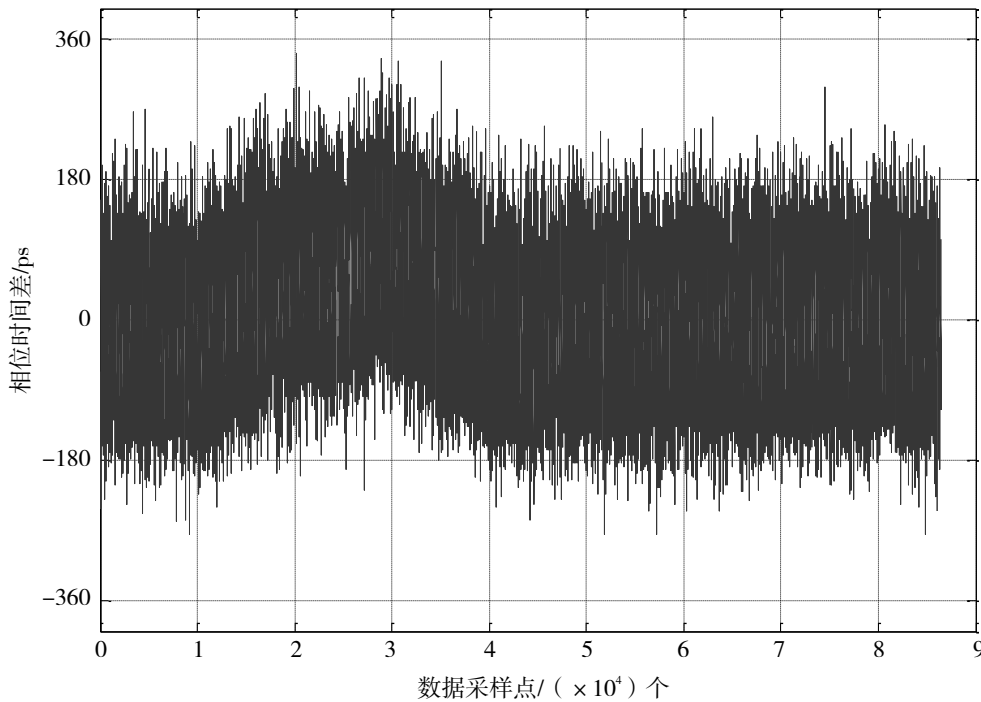


图 10 1 PPS 信号时间间隔波动图

由采样数据计算得到该相位微跃 1 PPS 信号发生器产生的 1 PPS 信号与参考 1 PPS 信号的相位偏差的标准差为 95.8 ps。

3.2 1 PPS 信号相位偏移测试

在秒脉冲信号相位偏移的测试实验中,测试实验框图与图 9 相同,使用 SR620 计数器持续测试,测试过程中发送步进量为 500 ps 的相位偏移命令给单片机,使相位微跃秒脉冲信号发生器输出的 1 PPS 信号产生 500 ps 的相位偏移。对测量数据进行分析 and 归一化处理后,得到如图 11 所示的 3 组时间间隔为 500 ps 的相位偏移图。

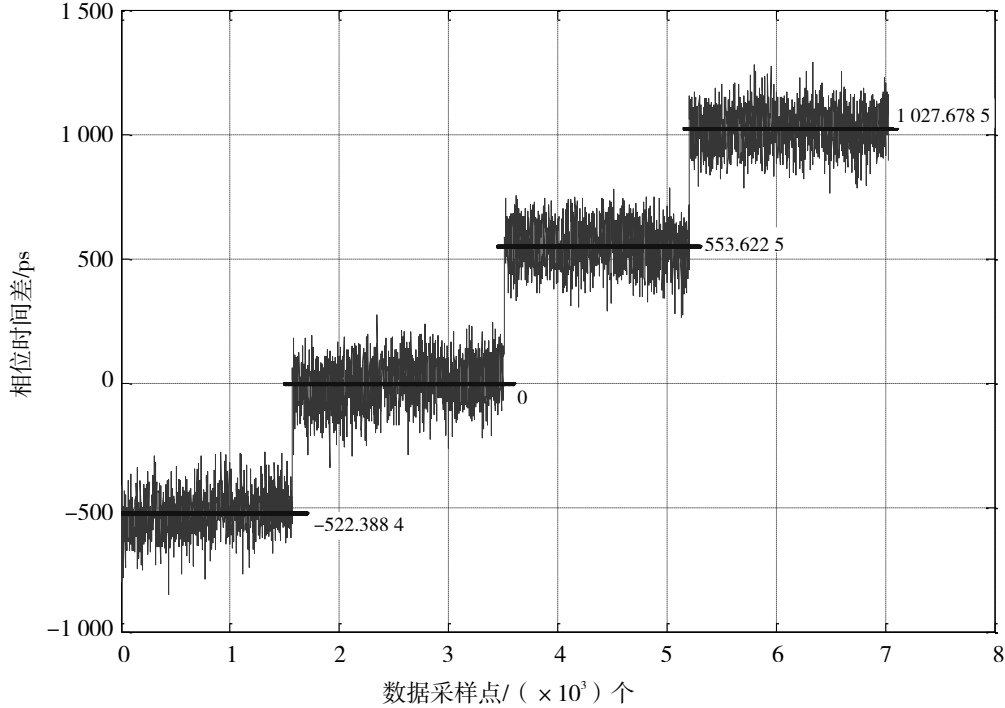


图 11 时间间隔为 500 ps 的相位偏移图

图 11 中的水平直线表示相位偏移前后 1 PPS 信号的时差均值,本文用相位偏移前后的时差均值差判断 1 PPS 信号的相位偏移的分辨率。图 11 所示的 3 次相位偏移后均值差分别约为 522, 554 和 474 ps,与实际调偏量 500 ps 的偏差分别是 22, 54 和 -26 ps,存在偏差的主要原因是相位微跃秒脉冲信号发生器输出的秒脉冲信号存在随机起伏,如图 10 所示,24 h 时差的标准差为 95.8 ps。该相位微跃秒脉冲信号发生器可以在 ± 50 ps 的误差范围内实现 500 ps 的相位偏移。

4 结语

文章对相位微跃秒脉冲信号发生器的工作原理进行了详细阐述,并给出了硬件和软件设计方法。实验结果表明,信号发生器合成的 1 PPS 与参考 1 PPS 信号时差的标准差为 95.8 ps,相位偏移分辨率为 500 ps。信号发生器集 1 PPS 信号合成和相位微跃于一体,解决了时间同步过程中高精度相位偏移的问题。本文研制的高精度相位微跃 1 PPS 信号发生器采用直接数字频率合成技术和 CPLD 数字分频技术,设计简洁明了。它既可以用于合成高稳定度的 1 PPS 信号,又能对秒脉冲信号进行高精度的相位微跃。

参考文献:

- [1] 童宝润. 时间统一系统[M]. 北京: 国防工业出版社, 2003.
- [2] 张明, 仲崇霞, 张升康, 等. 标准秒脉冲信号高精度相位微跃技术研究[J]. 宇航计测技术, 2011, 31(5): 15-19.

- [3] 王超,李世光,夏振华,等.精密频率与相位调整方法[J].现代电子技术,2018,41(7):125-129.
- [4] 王超,于航,夏振华,等.一种原子钟与相位调整装置、频率和相位检测装置:中国,CN105515583A[P].2016-04-20.
- [5] 李辉.高精度时钟同步微步移相器的设计与实现[D].哈尔滨:哈尔滨工程大学,2009.
- [6] 杨蕾,胡永辉,翟慧生.基于CPLD的数字移相分频钟[J].时间频率学报,2004,27(1):1-7.
- [7] 王园园,邓曲波,陈贵彬.全相位宽波段数字精密移相器的实现[J].宇航计测技术,2015,35(1):39-43.
- [8] 徐俊,黄钊,肖站,等.基于直接数字频率合成技术的信号发生器设计[J].江苏电器,2008(9):6-9.
- [9] 黄旭伟,吴玉成.一种降低DDS相位截断误差的方法[J].信息与电子工程,2007,5(2):142-146.
- [10] KROUPA V F, CIZEK V, STURSA J, et al. Spurious signals in direct digital frequency synthesizers due to the phase truncation[J]. IEEE Transactions on Ultrasonics, Ferroelectrics and Frequency Control, 2000, 47(5): 1166-1172.
- [11] NICHOLAS H T, SAMUELI H. An analysis of the output spectrum of direct digital frequency synthesizers in the presence of phase-accumulator truncation[J]. IEEE Xplore, 1987: 495-502.
- [12] 金松,安建平,费元春.基于DDS的高精度移相器的实现[J].北京理工大学学报,1998,18(3):355-358.
- [13] 王冲,翟正军,羊天德,等.基于CPLD的雷达脉冲发生器的设计[J].计算机工程与设计,2007,28(13):3172-3174.
- [14] 陈建,白永林,程光华,等.基于MCU和CPLD的嵌入式可调脉冲发生器设计[J].电子器件,2007,30(4):1249-1251.
- [15] 章欣.基于FPGA的脉冲信号发生器设计[J].气象水文海洋仪器,2014,31(2):69-73.
- [16] 李孝辉,杨旭海,刘娅,等.时间频率信号的精密测量[M].北京:科学出版社,2010.
- [17] 樊多盛,施韶华,李孝辉.基于CPLD的高精度可调脉冲信号发生器研制[J].时间频率学报,2014,37(1):25-33.
- [18] 刘火良,杨森.STM32库开发实战指南[M].北京:机械工业出版社,2015:30-120.
- [19] 王成华,叶佳.基于AD9854的多功能信号源设计[J].解放军理工大学(自然科学版),2006,7(2):126-129.
- [20] 陶益凡,唐慧强,黄勋.基于AD9854的信号发生器设计[J].微计算机信息,2006,22(5):241-243.
- [21] 森荣二.LC滤波器设计与制作[M].北京:科学出版社,2005:49-69.
- [22] 许友坤,高峯,张扬,等.一种LC低通滤波器设计方法研究[J].电子世界,2018(23):158-159.
- [23] 曾繁泰,陈美金.VHDL程序设计[M].北京:清华大学出版社,2001.