

引用格式: 崔广利, 向渝, 华宇. 全数字双混频鉴相技术亚稳态抑制方法研究[J]. 时间频率学报, 2021, 44(1): 10-16.

全数字双混频鉴相技术亚稳态抑制方法研究

崔广利^{1,2,3,4}, 向渝^{1,2}, 华宇^{1,2,3,4}

- (1. 中国科学院 国家授时中心, 西安 710600;
2. 中国科学院 精密导航定位与定时技术重点实验室, 西安 710600;
3. 中国科学院大学, 北京 100049;
4. 中国科学院大学 电子电气与通信工程学院, 北京 101048)

摘要: 全数字双混频鉴相技术 (DDMTD) 是一种高精度的相位检测技术, 在 White Rabbit 中主要负责完成两路同周期信号的高精度相位差检测。在全数字双混频鉴相技术中, 可以根据实际功能进行功能模块划分, 信号采样放大模块中通常使用 D 触发器将输入信号的周期进行采样放大, 但会存在明显的亚稳态问题。本文主要通过改进 DDMTD 中信号采样放大模块的设计方案来降低亚稳态对鉴相结果的影响, 减小 DDMTD 相位差检测误差。实验采用 40 MHz 信号进行测试实验, 经过原方案与改进方案的结果比对可以得出改进方案对于信号边沿毛刺问题的改善有着明显效果。

关键词: White Rabbit; 相位差检测; D 触发器; 触发器亚稳态

DOI: 10.13875/j.issn.1674-0637.2021-01-0010-07

Research on meta-stable suppression method of digital dual mixer time difference

CUI Guang-li^{1,2,3,4}, XIANG Yu^{1,2}, HUA Yu^{1,2,3,4}

- (1. National Time Service Center, Chinese Academy of Sciences, Xi'an 710600, China;
2. Key Laboratory of Precise Positioning and Timing Technology, Chinese Academy of Sciences, Xi'an 710600, China;
3. University of Chinese Academy of Sciences, Beijing 100049, China;
4. School of Electronics and Communication Engineering, University of Chinese Academy of Sciences, Beijing 101048, China)

Abstract: Digital dual mixer time difference (DDMTD) is a high-precision phase detection technology. In White Rabbit, it is mainly responsible for the high-precision phase difference detection of two same-cycle signals. In the DDMTD, function modules can be divided according to the actual functions. The signal sampling amplifier module usually uses a D flip-flop to sample and amplify the period of the input signal, but there will be obvious metastable problems. This paper mainly improves the design scheme of the signal sampling and amplifying module in DDMTD to reduce the effect of metastable state on the phase discrimination result and reduce the detection error of DDMTD phase difference. Our experiment uses a 40 MHz signal for the test

experiment. By comparing the results of the original scheme and the improved scheme, we conclude that the improved scheme has a significant effect on the improvement of the signal edge glitch.

Key words: White Rabbit; time difference detect; D flip-flop; trigger metastable

0 引言

相位检测技术在电路设计中有着广泛的需求，对于不同的应用场景存在着不同的具体要求。目前，比较常见的相位检测技术包括：比相法、差拍法、频差倍增法和双混频时差法^[1]。相关方法根据实际的应用场景、误差大小情况、对于参考频率源要求等方面都存在一些差异，但是上述方案存在无法集成在全数字方案中的缺点，无法应用于高度集成需求的全数字方案设计。全数字双混频鉴相技术(digital dual mixer time difference, DDMTD)^[2]是一种全数字方案设计的相位检测技术，其在 White Rabbit 技术中占据着重要地位。White Rabbit 是一种高精度的时钟同步技术，可以实现亚纳秒级别的时间同步，主要综合了同步以太技术、精密时间同步协议、全数字双混频鉴相技术。全数字双混频鉴相技术是决定 White Rabbit 是否能够实现亚纳秒时钟同步的关键部分之一^[3]，在 White Rabbit 中发挥着不可替代的作用。全数字双混频鉴相技术根据实际功能主要分为三大功能模块：信号采样放大模块、信号处理模块、结果输出模块。其中，在信号采样放大功能模块中使用 D 触发器完成信号采样放大的功能，然而当 D 触发器输入信号与时钟信号频率特别接近的时候，放大输出的信号会存在明显的亚稳态问题^[4]，影响相位检测结果的精度与准确度。因此，本文提出了全数字双混频鉴相技术改进方法，试图解决亚稳态问题，进而为实现 White Rabbit 的全数字设计的改进奠定基础。

1 全数字双混频鉴相技术原理

全数字双混频鉴相技术是基于模拟双混频时差法改进而得来的，传统的模拟方案中通过将高频信号降频，信号降频之后会保证待测信号与参考信号之间的相位差信息不发生改变，对降频之后的参考信号与待测信号进行拍频便可获得这两路信号的相位差测量值^[5]，其基本框图如图 1 所示^[6]。

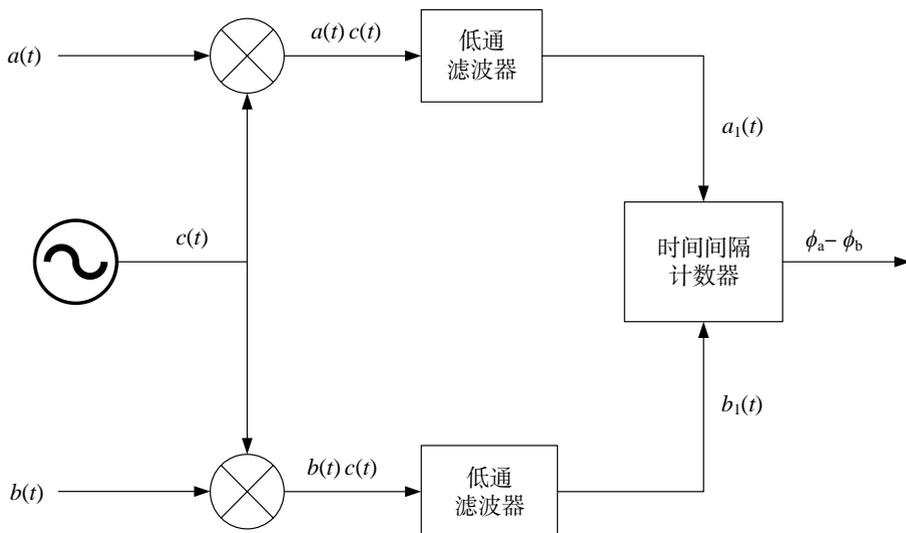


图 1 双混频时差法技术框图

图 1 中，

$$a(t) = \cos(2\pi f_{\text{CLK}}t + \phi_a), \quad (1)$$

$$b(t) = \cos(2\pi f_{\text{CLK}}t + \phi_b), \quad (2)$$

$$c(t) = \cos(2\pi f_c t + \phi_c). \quad (3)$$

信号 $c(t)$ 的频率 f_c 十分接近信号 $a(t)$ 与 $b(t)$ 的信号频率 f_{CLK} ，由此可以有如下关系：

$$\begin{aligned} a(t)c(t) &= \cos(2\pi f_{\text{CLK}}t + \phi_a)\cos(2\pi f_c t + \phi_c) = \\ &= \frac{1}{2}\cos(2\pi t(f_{\text{CLK}} + f_c) + \phi_a + \phi_c) + \frac{1}{2}\cos(2\pi t(f_{\text{CLK}} - f_c) + \phi_a - \phi_c). \end{aligned} \quad (4)$$

经过低通滤波器之后可得：

$$a_1(t) = \frac{1}{2}\cos(2\pi t(f_{\text{CLK}} - f_c) + \phi_a - \phi_c). \quad (5)$$

同理，可知：

$$b_1(t) = \frac{1}{2}\cos(2\pi t(f_{\text{CLK}} - f_c) + \phi_b - \phi_c). \quad (6)$$

由于 f_c 十分接近 f_{CLK} ，所以 $f_{\text{CLK}} - f_c$ 会很小，使用高速时间间隔计数器可以直接测量两个信号间的相位差^[7]。该方案的关键技术点在于只对信号的频率进行降低，并未改变两路信号之间的相位差关系，因此最后可以得出两路信号的相位差^[8]。

White Rabbit 是一种高精度的时钟同步技术，通过 FPGA (field programmable gate array) 完整实现核心功能，具有精度高、集成度高并且成本低的特点^[9]。作为关键技术之一的全数字双混频鉴相技术需要完整地集成在 FPGA 中，此时相位检测技术需要面对的信号是数字信号，而且要求具有较高的集成度，所以模拟相位差检测方案没有办法使用，需要将模拟方案改为全数字方案才可以作为 White Rabbit 中相位检测技术进行使用^[10]。全数字双混频鉴相技术的基本原理和模拟混频鉴相技术基本原理是一样的：在信号采样放大模块中将两路数字信号都按照同样的倍数进行采样放大，由于两个数字信号的相位差也进行同比例放大，此时只需要测量出放大之后两个数字信号的相位差，然后同比例缩小，即可求出两路原始数字信号的实际相位差^[11]，其基本的逻辑框图如图 2 所示^[9]。

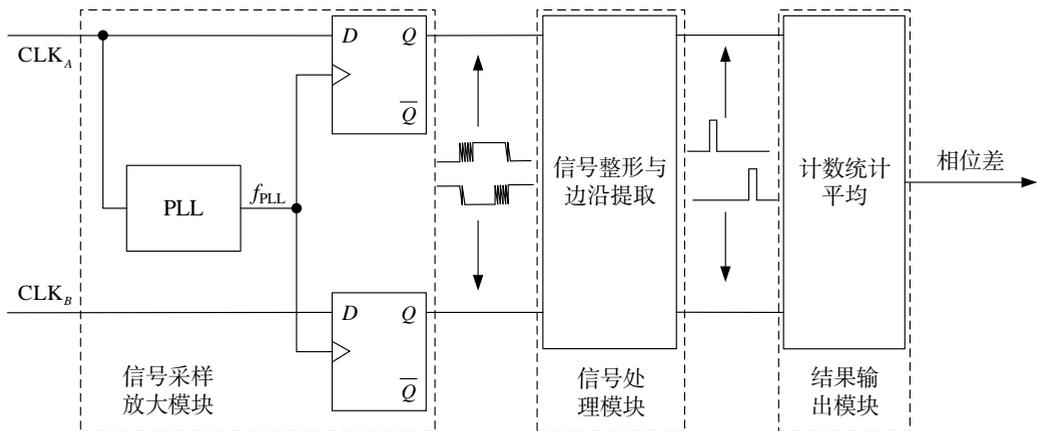


图 2 全数字双混频鉴相技术基本框图

在该方法中， CLK_A 与 CLK_B 是同频不同相的，最终需要将 CLK_A 与 CLK_B 的相位差准确地测量出来。在信号采样放大模块中， CLK_A 经过锁相环之后输出信号频率为 f_{PLL} ，其与 f_{CLK_A} 的关系如式 (7) 所示^[9]：

$$f_{\text{PLL}} = \frac{2^N}{2^N + 1} f_{\text{CLK}_A} \quad (7)$$

经过锁相环输出的信号作为两个 D 触发器的时钟信号使用，而且 f_{PLL} 大小十分接近 CLK_A 的频率 f_{CLK_A} ，经过 D 触发器之后就可以实现时钟信号将两路输入信号进行采样放大的效果，使两路信号的周期放大固定的倍数，放大倍数同时也就是 $2^N + 1$ 。

2 全数字双混频鉴相技术误差分析

全数字双混频鉴相技术采用全数字结构，其在相位检测的过程中会存在诸多干扰，使得测量结果与实际值之间存在较大的误差。对于全数字双混频鉴相技术中会对测试结果产生误差的部分进行了如下分析：

① 信号采样放大模块：该模块采用 D 触发器作为信号采样放大的关键结构，并且两个 D 触发器的时钟信号频率十分接近其输入信号频率，这也会导致两个 D 触发器的输出信号因为触发器亚稳态问题造成放大之后的信号边沿存在很多的毛刺，而对于该结构中亚稳态问题是导致毛刺过多的主要原因之一^[12]。触发器亚稳态的出现是一种概率问题，亚稳态窗的宽度随宽度增大而概率降低。而对于毛刺输出的问题，全数字双混频鉴相技术主要是由触发器亚稳态影响而导致，输出信号存在较多的毛刺会影响信号处理模块对于信号边沿提取结果的稳定度，影响相位差测量结果。为了验证该结论，针对信号采样放大模块部分进行了实际的测试实验，实际的输出信号情况如图 3 所示。

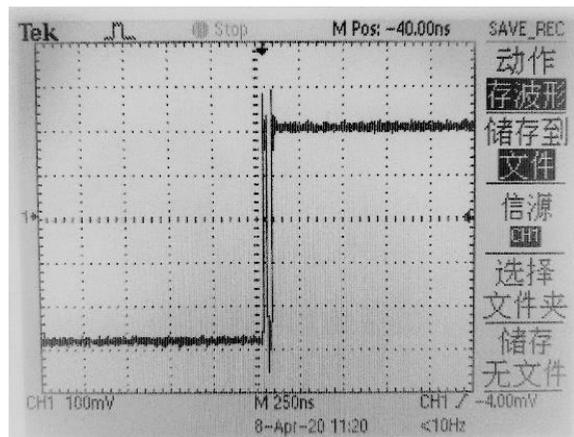


图 3 原始方案输出信号

通过实际测试可以看出原始方案的信号采样放大模块输出信号存在着很明显的毛刺问题，该问题会直接影响信号边沿的提取结果，导致最终相位差测试结果与实际结果之间存在较大偏差。

② 信号处理模块：在信号处理模块中采用了 Bit Value Median (后续简称：BVM) 算法来实现信号边沿的确定。BVM 算法的实现原理示意图^[9]如图 4 所示：

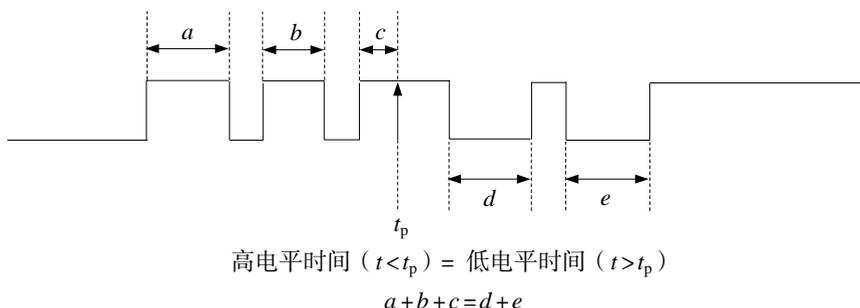


图 4 BVM 算法原理示意图

由于信号实际边沿淹没在毛刺之中,无法准确地对毛刺位置进行判断,所以在对信号边沿提取的时候需要保证每次提取的两路信号的边沿之间的相对位置有较好的稳定性。通过 BVM 算法对信号边沿进行提取时,选定毛刺中的一个位置 t_p , 满足 t_p 左侧高电平时间与右侧低电平时间相同时, t_p 对应的时刻即可认为是信号边沿的输出时刻。但是,过宽的毛刺会导致提取的两路信号的边沿之间的相对位置存在较大不稳定性,这会直接导致相位差的结果输出会存在很大的波动。因此,减小触发器亚稳态的影响是该技术实现更高精度的关键点之一。

③ 结果输出模块:全数字方案和模拟方案的相位差结果测试方案原理是一样的,都是采用高速计数器进行拍频获得。因此,在该方案中有着拍频时出现两路信号相位差小于计数器周期的情况,该情况会导致高速计数器进行拍频时出现测试结果与实际结果存在较大偏差的问题。不过在 White Rabbit 中系统时钟频率为 125 MHz,也就是最大会出现 8 ns 的测试误差,对于现行方案中采用的放大倍数为 $2^{14} + 1$ ^[3],按照该倍数进行反推可以得知该部分测试误差对于最终结果的影响为 488.25 fs。对于实现亚纳秒级别同步要求的 White Rabbit 而言是可以将该误差忽略的。

3 全数字双混频鉴相技术改进设计

毛刺产生的最主要原因之一是 D 触发器亚稳态问题。对于解决触发器亚稳态问题,通常采用如下方法:采用亚稳态时间窗会比较窄的快速触发器;采用同步多级触发器级联方式;采用性能更加优秀的触发器;降低采样频率;时钟边沿变化速度快的输入时钟信号^[4]。但对于纯数字方案设计的全数字双混频鉴相技术而言,D 触发器采用的是 FPGA 的 core,而且时钟频率在一些应用场景之中是固定的,因此只有采用 D 触发器多级级联的方式是可行的。

通过对全数字双混频鉴相技术的研究,在信号采样放大模块原有基础之上增加了两级 D 触发器,通过两级 D 触发器对信号进行缓存以降低亚稳态对输出信号边沿的影响。具体的逻辑框图如图 5 所示。

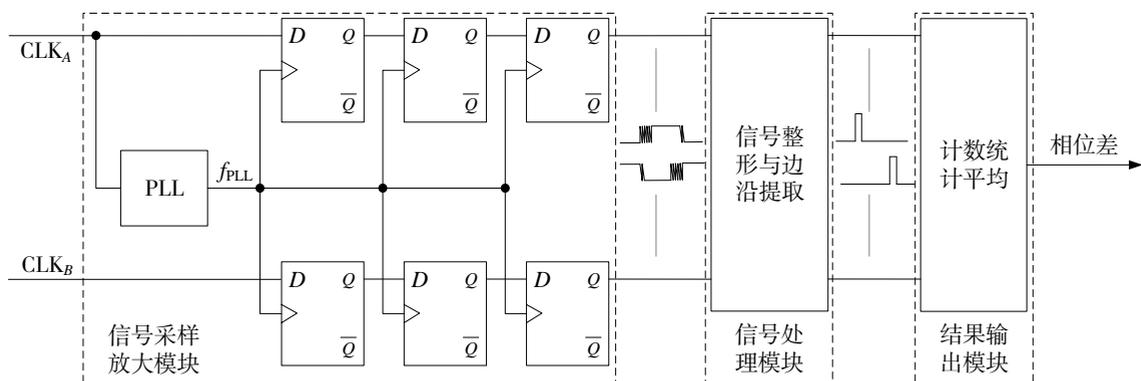


图 5 全数字双混频鉴相技术改进设计逻辑框图

在改进之后的方案中,输入信号与时钟信号经过第一级的触发器之后,由于时钟信号与输入信号频率十分相近,会导致输出信号触发器亚稳态问题很明显,这对于信号上升边沿的确定的准确性有着严重的影响。经过两级 D 触发器进行缓存,输出信号的触发器亚稳态问题会得到改善,便于通过算法对输出信号的上升边沿进行确定,对于最后相位差检测结果的误差减小有帮助。

在改进设计中,针对信号采样放大模块进行了改进,在原方案基础上增加了两级 D 触发器。为了验证该设计的有效性,针对该模块进行了实际的测试实验,实验条件与原方案的实验条件保持一致,测试结果如图 6 所示。

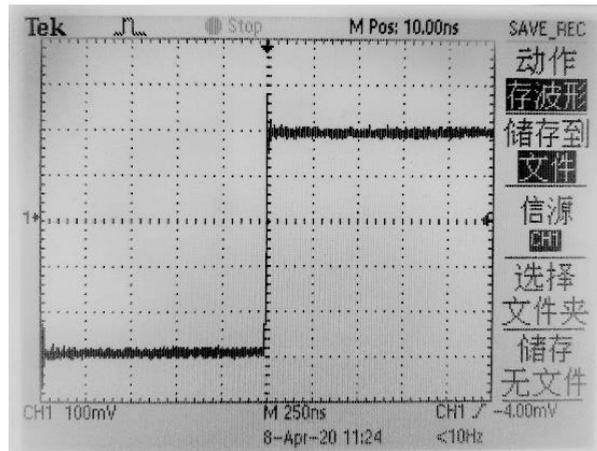


图 6 改进方案输出信号

通过测试结果可以看出，信号放大模块在增加了两级 D 触发器之后，采样放大信号的输出情况明显得到了改善，改进方案输出信号毛刺数量明显少于原方案输出信号毛刺数量，有利于后续信号边沿提取的稳定性。

4 测试实验与结果分析

通过对全数字双混频鉴相技术的研究，针对改进设计方案的信号采样模块进行了测试实验。实验中分别实现了原方案的信号采样放大模块与改进方案的信号采样放大模块，通过实际的测试进行结果对比。测试实验平台使用的是 Altera Cyclone III EP3C5E 14417N^[13]，输入信号频率为 40 MHz，信号周期为 25 ns。测试实验分别针对不同的放大倍数进行了测试，具体的测试倍数与测试结果如表 1 所示，测试倍数大小根据公式 (7) 中 $2^N + 1$ 进行设置，由于平台性能限制最大只能够将放大倍数设置为 256，测试结果是通过对比波形数据进行多次统计分析而得出的。

表 1 不同放大倍数毛刺情况测试

放大倍数	原方案毛刺情况	改进方案毛刺情况
33	无毛刺出现	无毛刺出现
65	有毛刺出现，数量很少	有毛刺出现，数量极少
128	31 ns	10 ns
256	87 ns	53.5 ns

在该测试实验中，使用 FPGA 内部的 PLL 生成 D 触发器的时钟信号，但是由于平台性能限制，在 PLL 中设置放大倍数的时候存在倍数无法除尽的情况，导致 PLL 无法按照设置倍数输出特定频率的信号。因此，在本次实验中仅对 40 MHz 信号进行了测试分析，并未对 White Rabbit 中使用的 125 MHz 信号进行实际的测试实验。

在 40 MHz 输入信号的条件下，进行了多次的测试实验。通过表 1 的结果显示，在放大倍数设置为 256 时，采用原方案的单 D 触发器进行信号采样放大的方案毛刺的宽度可以达到 87 ns，而改进方案中，增加了两级 D 触发器做缓存的结构，多次的测量结果显示输出信号的上升边沿亚稳态影响明显减小，亚毛刺的宽度可以减少为 53.5 ns；在放大倍数设置为 128 时，采用原方案的单 D 触发器进行信号采样放大的方案毛刺的宽度可以达到 31 ns，而改进方案的输出结果为 10 ns。通过测试结果的对比，可以得出如

下结论:

① 放大倍数越大,毛刺出现的概率会越大,并且毛刺宽度也会越大;

② 改进方案对于信号亚稳态状况的改善是有效的,增加两级 D 触发器进行缓存的处理方案可以有效地减小毛刺宽度;

由此可见,在全数字双混频鉴相技术中,采用两级 D 触发器缓存的方案可以改善输出信号的亚稳态问题。测试实验中使用的是 40 MHz 的时钟信号进行的,结果显示可以有效地降低亚稳态问题,而对于 White Rabbit 使用的 125 MHz 信号,该方案也有同样的效果。对于全数字双混频鉴相技术而言,采样放大模块输出信号的毛刺问题单单采用如上述的改进方案并不能够完全的解决,这就需要信号处理模块对毛刺进行处理并进行边沿的提取工作。这里对毛刺处理目的是减小毛刺宽度,使信号边沿在提取的时候结果更加的稳定,使相位检测结果更加的准确。

5 结语

在全数字双混频鉴相技术中,改进方案采用两级 D 触发器缓存来抑制触发器亚稳态问题,通过实际的测试实验可以得知该方法具有显著的效果。测试实验中使用 40 MHz 时钟信号频率,测试结果显示改进方案可以明显减小亚稳态导致的毛刺过宽的问题,有利于信号处理模块中边沿提取结果的稳定性。

参考文献:

- [1] 何慧征. 数字式双混频时差测量系统的研究设计与仿真实现[D]. 北京: 北京工业大学, 2014.
- [2] MOREIRA P, ALVAREZ P, SERRANO J, et al. Digital dual mixer time difference for Sub-Nanosecond time synchronization in Ethernet[J]. 2010 IEEE International Frequency Control Symposium, Newport Beach: IEEE, 2010: 449-453.
- [3] DANILUK G. White Rabbit PTP Core the sub-nanosecond time synchronization over Ethernet[D]. Warsaw: Warsaw University of Technology, 2012: 9-11.
- [4] 霍华德 J, 马丁 G. 高速数字设计[M]. 沈立, 朱来文, 陈宏伟, 等, 译. 北京: 电子工业出版社, 2002.
- [5] 胡锦涛. 一种双混频时差测量系统[J]. 计量学报, 1982, 3(3): 223-226.
- [6] 徐超, 刘军良, 胡永辉. 双混频时差测量系统的误差分析与试验研究[J]. 时间频率学报, 2018, 41(3): 206-213.
- [7] 闫菲菲, 马红皎, 何在民, 等. 基于 FPGA 和 TDC 芯片的高精度时间间隔计数器研制[J]. 时间频率学报, 2019, 42(1): 33-42.
- [8] 刘正阳, 刘音华, 李孝辉. 基于 FPGA 的 TDC 系统偏差修正方法的研究[J]. 时间频率学报, 2019, 42(2): 142-150.
- [9] WLOSTOWSKI T. Precise time and frequency transfer in a White Rabbit network[D]. Poland: Warsaw University of Technology, 2011.
- [10] LIPÍŃSKI M, WLOSTOWSKI T, SERRANO J, et al. White rabbit: a PTP application for robust sub-nanosecond synchronization [C]//2011 IEEE International Symposium on Precision Clock Synchronization for Measurement, Control and Communication, Munich, Germany: IEEE, 2011: 25-30.
- [11] 潘维斌. LHAASO 实验高精度时间测量系统研究[D]. 北京: 清华大学, 2014.
- [12] 汪路元. FPGA 设计中的亚稳态及其缓解措施[J]. 电子技术应用, 2012, 38(8): 13-15+19.
- [13] ANONYMOUS. Altera Corporation; Altera's embedded systems development Kit accelerates the creation of cyclone III FPGA-based embedded designs[J]. Robotics & Machine Learning, 2009.