

引用格式: 付强, 郭伟, 刘强. 一种基于 E1 信号的频率综合器的研究与实现[J]. 时间频率学报, 2021, 44(1): 17-25.

一种基于 E1 信号的频率综合器的研究与实现

付强^{1,2}, 郭伟¹, 刘强¹

(1. 中国科学院 国家授时中心, 西安 710600;
2. 中国科学院大学 电子电气与通信工程学院, 北京 101048)

摘要: E1 通信信号的精确测量和评估, 对提高 E1 通信网的传输效率和传输质量具有重要意义。为满足 E1 通信信号的测量需求, 基于对 DDS 频率合成技术的研究, 设计出能稳定输出 2.048 MHz 频率的频率综合器。测试结果表明, 该频率综合器输出频率精度可达到 9.40×10^{-11} s, 秒稳定度可达到 2.63×10^{-11} , 高于待测 E1 信号频率稳定度 3 倍, 满足国际电信联盟关于 E1 信号的测量标准, 可以作为 E1 频率测量仪的信号源。

关键词: E1; 直接数字合成技术; 2.048 MHz 频率

DOI: 10.13875/j.issn.1674-0637.2021-01-0017-09

Research and implementation of a frequency synthesizer based on E1 signal

FU Qiang^{1,2}, GUO Wei¹, LIU Qiang¹

(1. National Time Service Center, Chinese Academy of Sciences, Xi'an 710600, China;

2. School of Electronics and Communication Engineering, University of Chinese Academy of Sciences, Beijing 101048, China)

Abstract: The precise measurement and evaluation of E1 communication signal is important to improve the transmission efficiency and transmission quality of E1 communication network. In order to meet the measurement requirements of E1 communication signal, a frequency synthesizer with stable output of 2.048 MHz is designed based on the research of DDS frequency synthesis technology. The test results shown that the accuracy of the output frequency by the frequency synthesizer can reach to 9.40×10^{-11} s, and the second stability can reach to 2.63×10^{-11} , it is three times higher than the frequency stability of E1 signal which needs to be tested. The stability meets the measurement standard of the International Telecommunication Union for E1 signal, and can be used as the signal source of E1 frequency measuring instrument.

Key words: E1; direct digital synthesis (DDS); frequency of 2.048 megahertz

0 引言

随着现代通信应用技术的发展, 基础传输接入对高质量、低成本、可定制、高集成度的通信网络需求变得越来越强烈。在数字通信网中, 我国采用 E1 标准作为数字通信网应用传输标准。E1 信道可以传

递 2.048 MHz 频率的信号, 利用 E1 通信网进行高精度频率服务。因此如何提高信号传输质量, 降低传输过程中的抖动, 漂移等误差一直是数字通信网传输技术的研究重点。

目前国内外很多设备仪器使用 E1 作为频率传输标准, 并且提供 2.048 MHz 频率输入接口, 这些设备都需要高精度的 E1 频率参考。对 E1 通信测量需要高精度的频率基准, 目前, 尚缺少一种低成本、模块化的设备, 既能满足高精度的 E1 频率基准需求, 又能实现精确的频率测量。因此, 通过研制高精度的频率综合器, 可为 E1 频率测量仪提供高精度的基准频率信号。

在对传统频率测量方法进行研究的基础上, 设计出一套高精度的频率综合器, 该系统主要由频率合成器、拍频测量模块和混频模块组成^[1]。针对 E1 通信网结构, 通过对 DDS (direct digital synthesis) 的工作原理进行研究, 利用 DDS 技术研制出了一台能够输出标准 2.048 MHz 频率的高精度频率综合器。利用中国科学院国家授时中心 (NTSC) 标准频率源作为参考频率, 对研制的频率综合器进行性能测试, 通过对测量结果进行分析, 验证所研制频率综合器是否满足 E1 频率测量的测量需求。

1 基于 DDS 的任意分频实现

DDS 频率合成模块是通过全数字技术实现, 从相位概念出发对所需要的频率波形进行合成, 利用 DDS 技术可以实现高精度、高稳定度的频率输出, 目前 DDS 技术被广泛应用于各种信号发生器的设计中^[2]。

DDS 是以数控振荡器的方式进行频率的合成, 通过不断地扫描正弦查找表构建需要的波形。系统主要包括时钟模块、 N 位相位累加器、正弦查找表、数模转换器 (digital analog converter, DAC) 及低通滤波器 (low pass filter, LPF)^[3]。

其中, 相位累加器是 DDS 的核心, 它是由 N 位加法器和 N 位寄存器构成。通过对频率控制字不断地进行线性累加, 当每次时钟脉冲边沿到来的时候, 加法器便会将寄存器中输出的相位数据进行累加^[4]。正弦查找表是一张波形查找表, 它利用相位累加器所输出的波形数据作为 ROM 查询地址, 通过波形相位的幅值转换, 便可以得到一系列波形的幅度码值。输出信号为正弦数字信号, 通过低通滤波器, 滤除了主频 f_0 以外的其他高频分量。其中, 参考时钟输出频率 f_c 的稳定度和准确度决定了最终输出频率 f_0 的稳定度和准确度。在基准时钟的参考下, 累加器会不断地进行线性累加, 每当累加器累溢出时候会进行一次重置。至此 DDS 完成了一个周期的频率合成, 输出频率表达式^[4]为:

$$f_0 = \frac{W_{FTW} f_c}{2^N}, \quad (1)$$

式 (1) 中, f_0 为输出频率, N 为相位累加器位数, f_c 为参考时钟频率, W_{FTW} 为频率控制字。

频率分辨率 f_Δ 的计算表达式^[5]为:

$$f_\Delta = \frac{f_c}{2^N}, \quad (2)$$

从式 (1) 和式 (2) 中可以看出, 最终的输出频率 f_0 主要由频率控制字、参考时钟频率 f_c 以及相位累加器的位数 N 共同决定。在 DDS 的实际工作中, 由于查找表 ROM 单元数和 ROM 数值字长有限, 所以 ROM 的单元数远小于相位累加器的位数, 在一般的 DDS 工作系统中, 只取相位累加器的高位, 并不是将相位累加器的所有输出位数送入到 ROM 查找表中。这样操作既不会影响输出频率的精确度, 同时又减少了工作量^[6]。

2 硬件实现

硬件设计中采用现场可编程门阵列 (field programmable gate array, FPGA) 进行系统设计, 通过利用

FPGA 使得电路设计得到了很大程度上的简化,同时还极大地缩减了研发工作量,缩小了数字电路硬件的体积^[7]。目前,一些 FPGA 的时钟频率已经可达上百兆赫兹,加上它的灵活性、可编程的特点,以及其强大的 EDA 软件支持,FPGA 非常适合用于同时产生多种频率的数字电路。图 1 为 DDS 模块设计原理图。

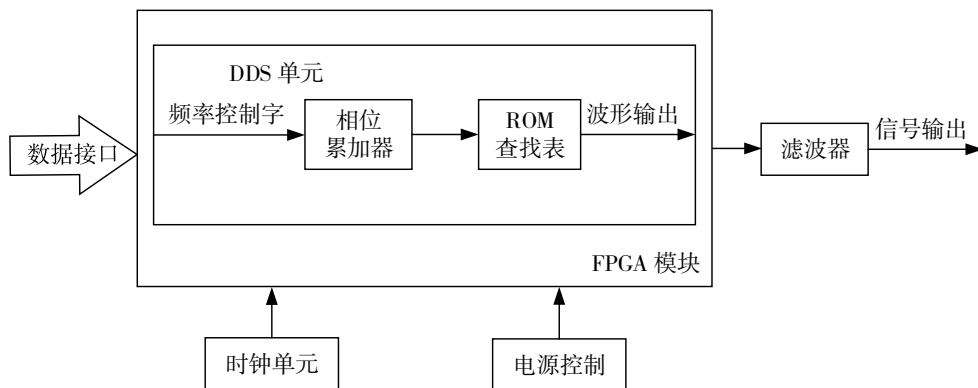


图 1 DDS 模块设计原理图

从图 1 中可以看出,在系统运行过程中,在外部时钟的作用下,相位累加器不断地对频率控制字进行相位累加,然后输出对应的幅度值。当每次时钟脉冲到来的时候,在相位累加器中对频率控制字和寄存器中的输出相位值进行累加,产生新的相位数据,并重新送入到累加器中,在下一个时钟脉冲到来的时候再次进行相位累加,在累加过程中,通过对正弦查找表进行寻址以得到相对应的相位幅度值。在查找表中,将 0 到 2π 的正弦函数值分成 N 份,再将各点的幅度值存到 ROM 表中,利用相位累加器对相位增值进行累加,得到当前的相位值^[8]。

利用输出的相位码对查找表进行波形寻址,通过将相位码转换为幅度编码,随后经过低通滤波器处理便可以得到需要的波形,通过数据接口调整不同的频率控制字,从而得到相对应的波形,由此过程便输出一个 $\sin = \omega t$ 的正弦波信号^[9]。

本次设计采用的是 Cyclone III 系列 EP3C10 芯片,其性能和主要参数描述如下:

Cyclone III 系列芯片是一款低成本 FPGA, Cyclone III FPGA 芯片比其他 FPGA 的能耗低 75%。该芯片包含 288 个数字信号处理 (digital signal processing, DSP) 乘法器, 120K 逻辑单元 (logic element, LE), 存储器能够达到 4 Mbit/s。该系列芯片的逻辑单元利用了 TSMC 的 65 nm 低能耗工艺,使得芯片开发成本相对上一代降低了 20%。Cyclone III 系列芯片在不断的发展中逐渐成为 FPGA 芯片使用的主流^[10]。

本次设计采用的 EP3C10 芯片主要参数如表 1 所示。

表 1 EP3C10 各项参数

设备	逻辑元素	M9K 内存块数量	整体 RAM 位	18×18 倍频器	锁相环个数	全球时钟网络	最大用户 I/O
EP3C10	10 320	46	423 936	23	2	10	182

本次设计采用晶振为 10 MHz 的 JKOC36A 芯片^[11],在测试晶振时,由于晶振驱动能力有限,不可以同时在电路输出串口进行频率输出,要有一路供 FPGA 使用。晶振模块的精度、稳定度指标如表 2 所示。其输出频率的精确度能够达到 $\pm 5 \times 10^{-8}$ 量级,输出频率在 100 kHz 时,其相位噪声可以控制在 -160 dBc/Hz。

由 JKOC36A 芯片输出的 10 MHz 频率经过倍频后作为参考时钟信号输入到系统内部,当频率的上升沿和下降沿到来的时候,系统内部的相位寄存器会在参考时钟的激励下增加相应的步长。因此晶振芯片

输出频率的分辨率会直接影响到输出频率的精度，根据 G.703 协议中针对 E1 信号的测量标准^[12]，JKOC36A 芯片提供的参考时钟频率可以满足实验要求。

表 2 JKOC36A 各项参数

标称频率	频率准确度 @ (25 ± 2) °C / ± ppm	频率负载稳定度	频率温度稳定度	频率电压稳定度	短期稳定度 (秒稳)	
10 MHz	优于 $\pm 5 \times 10^{-8}$	$< \pm 5 \times 10^{-10}$	$< \pm 1 \times 10^{-8}$	$< \pm 5 \times 10^{-10}$	优于 1×10^{-11}	
频率温度稳定度 / ± ppb	电源电压/V	频率负载特性 Load+5%	输出波形方波	负载	稳定时间 5 min/ppm	日老化率 / ± ppb
10	5	2	2.4 V/0.4 V	15 pf/10 kΩ	± 0.03	0.5

3 FPGA 程序设计

频率输出模块由一个顶层模块对 3 个底层模块进行控制，底层模块之间相互合作实现频率的输出。底层模块由锁相环、复位信号和频率合成 3 部分构成，其中锁相环模块起到了控制外部的输入信号与内部振荡信号同步的作用，复位模块进行信号复位。频率合成模块是产生 2.048 MHz 的主要模块，实现在母版上输出 2.048 MHz 频率。

在频率输出模块中，主要设计内容包括一个 64 位的相位累加器和一个 64 位的计数寄存器。同时包括有时钟信号、复位信号和频率控制字的输入，通过调节频率控制字实现对输入时钟信号分频。具体频率合成过程如图 2 所示。

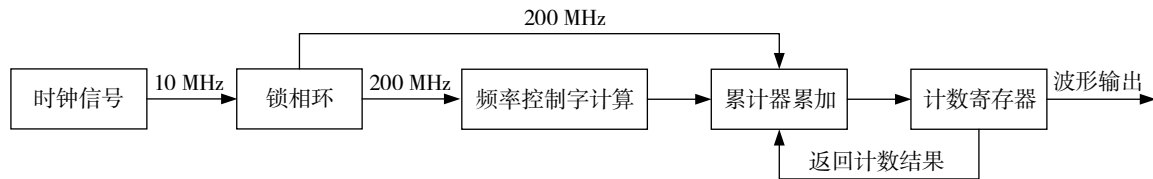


图 2 频率合成模块工作流程

从图 2 中可以看出，首先通过 PLL (phase locked loop) 模块将 10 MHz 时钟信号倍频到 200 MHz，随后开始对频率控制字进行计算，同时在时钟信号的控制下，相位累加器进行不断的累加。最后，在 64 位 D 触发器构成的计数器中进行计数工作，同时将计算结果返回到相位累加器中，并进行信号波形的输出。其 RTL 图如图 3 所示。

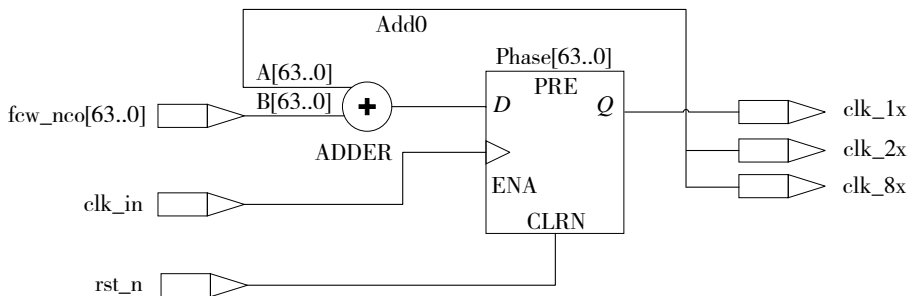


图 3 频率输出模块 RTL 视图

在对 DDS 的内置模块设计过程中，在无相位截断的情况下，查找表的位数越高，查找表分辨率就越高。在传统的 DDS 设计中，通常采用的是 32 位控制字，但在实际操作中 32 位控制字需要完成对相位进行控制、相位的寻址，同时需要对电源休眠进行控制，实际操作过程相对繁琐。如今在晶振芯片

JKOC36A 的技术支持之下,可在 DDS 内部以轻松实现 64 位的 NCO 累加位数,在查找表中使用 64 位的控制字,可以提高输出频率的频率分辨率和相位分辨率。通过 PLL 模块将时钟输入的 10 MHz 频率倍频到 200 MHz,并设置根据公式(1)可知,对 2.048 MHz 的频率输出,则可得 $W_{FTW} = \frac{2.048 \text{ M} \cdot 2^{64}}{200 \text{ M}}$

659 314 785 808.547 84。根据频率输出计算公式,通过设置频率控制字大小来调整输出频率大小,以获得对应的波形。在 NCO 模块中,包括一个 64 位的加法器和一个 64 位的寄存器,通过输入 few_nco 相位码进行相位累加。在 200 MHz 的时钟信号 clk_in 的参考下,相位累加器每 5 ns 进行一次更新。在工作过程中,64 位的计数器是由 64 个 D 触发器构成,在 D 触发器中进行位数的判断,并将结果返回到累加器中,当累加器溢出时完成一个周期的相位累加,此时会进行一次信号的输出,这样就完成了一个周期的工作。不断地重复这个过程,进而完成了对相应波形的输出。

4 输出结果测试与数据分析

对 DDS 模块进行设计,主要目的是将该模块作为基准频率的输出模块,从而能够集成在 E1 频率测量设备上进行基准频率的输出。因此在此之前需要对频率综合器输出的频率进行精确度及稳定度测量,以检测其是否能满足测量要求。

在 DDS 模块中,通过对输出的 2.048 MHz 信号进行分频计数,进行 1 PPS 信号的输出,与 UTC(NTSC)输出的标准 1 PPS 信号同时输入到计数器中,进行时差测量,对测量结果进行统计,并在 PC 端进行记录,示波器上输出波形如图 4 所示。在 PC 机上对得到的时差数据进行稳定度分析,对照 ITU-T(国际电信联盟)^[13]测量标准来检测频率综合器输出波形的精确度及稳定性。

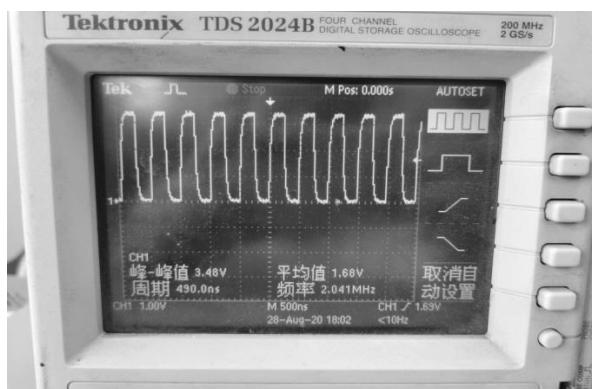


图 4 2.048 MHz 频率输出

4.1 频率稳定度测量

频率稳定度表示待测信号在工作一段时间后,其频率大小相对于标称频率的起伏变化情况。造成信号起伏的根本原因是噪声的存在,它对信号的相位或者频率调制造成信号的不稳定性。这种调频或者调相引起的频率不稳定性在时域会表现为频率随时间的不规则起伏,在频域则表现为信号的频谱纯度发生变化,时域的稳定度一般用阿伦方差来表征^[14]。

对频率综合器的性能进行分析,主要是通过对输出的标准 2.048 MHz 频率进行精确度及稳定性检测来实现。在 FPGA 内部通过 DDS 模块将倍频后的 200 MHz 频率进行分频,并输出标准的 2.048 MHz 的频率,通过 1 PPS 模块转换为 1 PPS 信号进行输出,同时利用 UTC(NTSC)的标准 1 PPS 信号作为参考信号,用 SR620 计数器对两路 1 PPS 信号进行时间间隔计数,并对两路数据进行时差测量,工作原理如

图 5 所示。

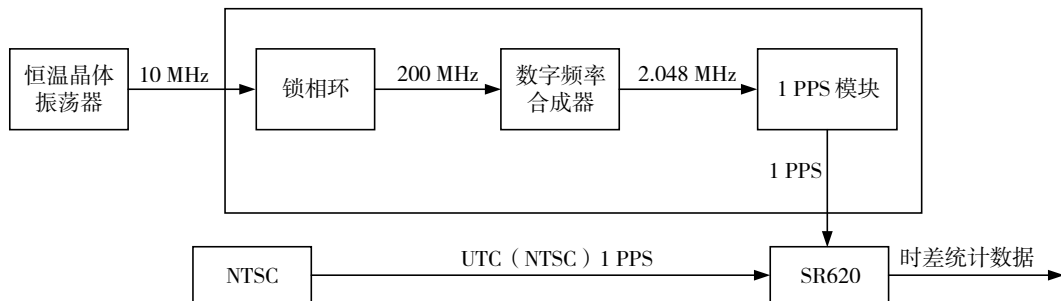


图 5 DDS 输出信号测量系统

对输出信号稳定度测量主要是通过将实验输出的 2.048 MHz 信号转换成 1 PPS 信号，与 NTSC 标准时钟输出的 1 PPS 信号进行比对，将两路信号接入到 SR620 计数器中，设置 τ (观测时间) 为 3 s 进行时差统计，并将统计结果经串口连接传送到 PC 机进行记录。

4.2 数据结果分析

DDS 系统输出频率稳定性测试中，所用到的测量设备如表 3 所示。

表 3 测试设备列表

项目	名称	数量
测试仪器	SR620	1
测试对象	DDS 频率综合器输出频率	1
频率源	UTC (NTSC) 信号	1

在测量过程中，通过计数器采集两通道信号产生的时差，绘制出时差图。在对计数器采集到的数据进行数理统计，对数据的均值、标准方差、均方根 (RMS) 进行计算，然后根据两通道的时差数据计算频率稳定度。时差统计图如图 6 所示。

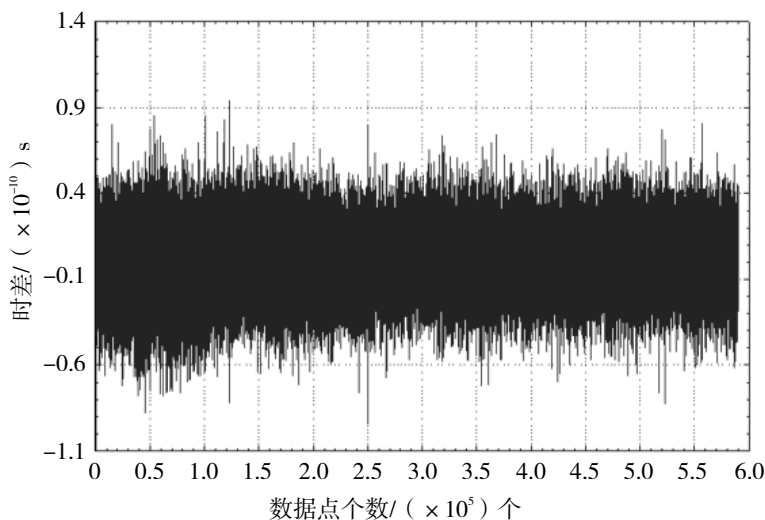


图 6 DDS 输出信号的时差统计

通过计数器对时差数据进行测量之后，将测量到的数据送入到计算机进行保存，利用 Stable32 软件^[15]可以实现对数据的稳定性分析，并分别对测量结果和计算结果进行绘制图形列表进行展示。图 7 为

统计到的时差数据的统计界面。

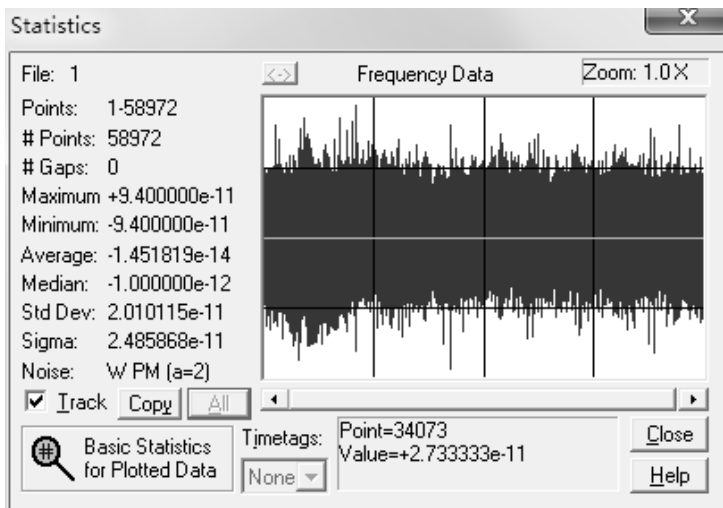


图 7 数据的统计及分析

在统计功能中，分别对数据的均值，标准差（STD）和均方根误差（RMS）进行计算，如表 4 所示。

表 4 数据统计结果

均值	标准差 (STD)	均方根误差 (RMS)
9.40×10^{-11}	2.010×10^{-11}	1.5668×10^{-9}

同时，利用 Stable32 软件的稳定度分析功能，对数据的分布情况及数据的稳定度进行分析。分析过程包括对数据的直方图绘制和对数据进行阿伦方差计算，通过绘制数据的直方图，我们可以很直观地看出数据的分布情况，包括中心数据以及数据的离散程度，图 8 为 Stable32 绘制的数据分布直方图。

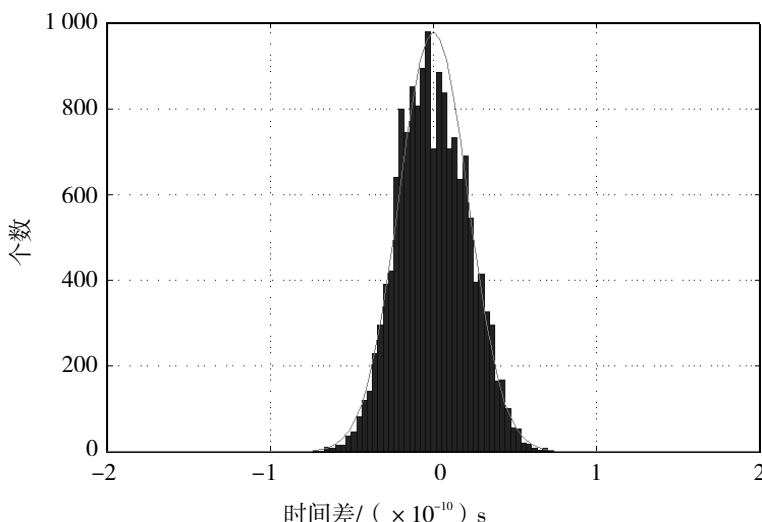


图 8 时差数据直方分布图

从图 8 中我们可以看出测得的时差数据是呈现正态分布，数据相对集中，在测量中能获得较高的分辨率。

通过利用 Stable32 的 Run 函数功能对频率的稳定度进行分析,Stable32 的 Run 函数界面如图 9 所示。利用 Stable32 的 Run 函数功能可以计算在固定时间相位、频率数据的 Allan 方差、Hadamard 方差等。

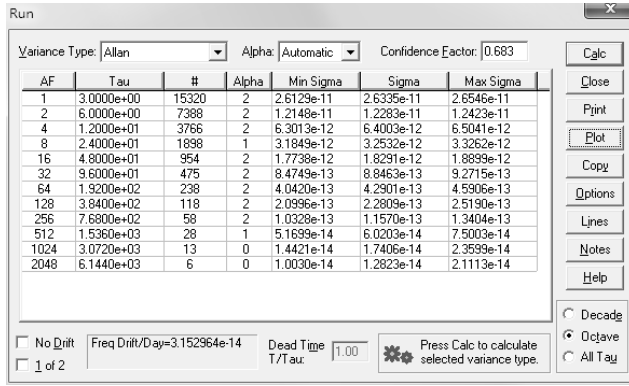


图 9 Stable32 Run 函数界面

在进行时域稳定度测量^[16]时, Allan 方差是描述频率稳定性的主要方法。利用 Stable32 的 Run 函数功能对数据的 Allan 方差进行计算, 对数据的频率稳定度进行分析, 结果如图 10 所示。在计算过程中由于是短期测量, Stable32 在执行稳定性分析之前会从数据中消除线性频率漂移, 因此不考虑数据的频率漂移。

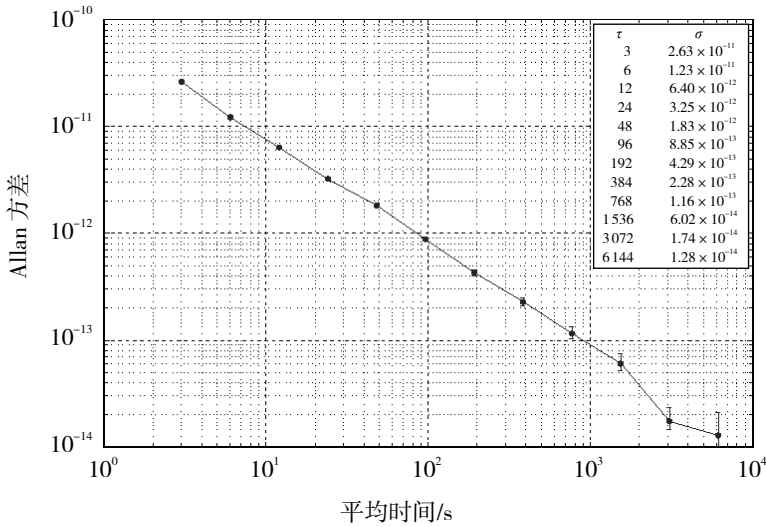


图 10 DDS 系统频率稳定度分析

由图 8 和图 10 可以看出, 时差数据均值可以达到 9.40×10^{-11} s, 直方分布图呈正态分布, 并且数据相对集中。在稳定性测试中, 由于由系统本底噪声等其他因素的影响, 在观测时间 $\tau = 3$ s 处的阿伦方差为 2.63×10^{-11} 。

在 ITU-T G.703 标准中, 针对 E1 信号的测量是建立在时间间隔误差的基础上, 利用统计的时差数据对 MTIE (最大时间间隔误差) 和 TDEV (时间偏差) 进行计算, 从而实现对其信号的评估。在进行时间间隔误差测量时, 对不同的观测时间 τ , 其测量精度大小不同。具体的测量精度要求如表 5 所示。

表 5 ITU-T 测量精度表

测量指标	精度要求	τ 取值范围
MTIE	$0.275 \times 10^{-3} \tau \mu\text{s} + 0.025 \mu\text{s}$	$0.1 < \tau < 1\ 000$ s
	$10^{-5} \tau + 0.29 \mu\text{s}$	$\tau > 1\ 000$ s
TDEV	3 ns	$0.1 < \tau < 100$ s
	0.03 τ ns	$100 < \tau < 1\ 000$ s
	30 ns	$1\ 000 < \tau < 10\ 000$ s

从上述测量结果中可以得出，DDS 频率综合器输出频率作为 E1 频率测量仪的参考频率输出模块，其精度可达到 9.40×10^{-11} s，对比表 5 中 ITU-T 针对 E1 信号在 τ 在 3 s 时的测量精度，DDS 频率综合器输出频率精度满足高于待测信号 3 倍以上的要求，频率稳定度（秒稳）可达到 2.63×10^{-11} ，从测试结果中可以看出输出频率没有较大的偏移。根据 ITU-T 中规定对频率时域稳定度测量标准，本次设计的 DDS 模块可以作为基准参考频率的输出设备集成在 E1 频率测量仪中。

5 结语

基于 DDS 技术设计的频率综合器采用全数字的方式实现，并且产生的波形大小可以进行随意的调整，只需要更新 FPGA 中 ROM 表便可以实现。实验测量结果表明，频率综合器输出频率的精度能够达到高于待测信号 3 倍以上的标准，同时信号稳定度满足 G.703 协议^[17]中针对 E1 信号的测量标准。

本次设计的频率综合器在原有的技术基础之上，在硬件上采用了数字化、小型化的设计方案。所设计的频率综合器能够作为基准频率输出装置集成在专业时间频率测量系统中，为研究开发高精度的频率测量仪提供有效的支撑。

参考文献：

- [1] 池飞, 武建锋, 何在民. SDH E1 时隙可配帧格式及数据编码的设计与 FPGA 实现技术[J]. 时间频率学报, 2018, 41(4): 317-325.
- [2] 肖奕寒. 基于 DDS 技术采用 FPGA 的信号发生器设计与实现[D]. 长沙: 湖南大学, 2017.
- [3] 范瑞林. 任意分频器的 DDS 实现方法[J]. 绿色科技, 2015(9): 294-296.
- [4] 舒小平. 便携式 DDS 信号源设计[D]. 武汉: 华中师范大学, 2015.
- [5] 赵洪华. 基于 DDS 技术的数字频率信号发生器的设计[J]. 科技创新导报, 2010(24): 96-97.
- [6] 崔永俊, 王晋伟, 贾磊, 等. 基于 FPGA 的 DDS 信号发生器的设计与实现[J]. 电子器件, 2016, 39(2): 339-343.
- [7] 梁睿. 基于 DSP 和 DDS 的信号发生器硬件设计及可靠性研究[D]. 武汉: 武汉理工大学, 2012.
- [8] 程少庭, 雷雪梅, 柴晓荣. 一种应用于 DDS+PLL 混合频率综合器中的滤波器设计[J]. 内蒙古大学学报(自然版), 2018, 49(4): 407-415.
- [9] 李伟英, 钟新跃, 谢四莲. 基于 DDS 技术的信号发生器设计与实现[J]. 电子工程师, 2008, 34(5): 35-37.
- [10] 李佳憬. 基于 FPGA 的数字信号合成技术性能分析[D]. 北京: 北京邮电大学, 2018.
- [11] 李康康. 基于 FPGA 的数字相位测量仪设计与实现[D]. 太原: 中北大学, 2018.
- [12] 刘阳. 基于 FPGA 和 DDS 技术的双通道正交信号源的设计与实现[D]. 太原: 中北大学, 2017.
- [13] 王晋伟. 基于 FPGA 的高精度相位可控 DDS 的设计与实现[D]. 太原: 中北大学, 2017.
- [14] 刘娅. 多通道数字化频率测量方法研究与实现[D]. 西安: 中国科学院国家授时中心, 2010.
- [15] 杨剑青. 基于直接频率测量的自动校频系统设计与实现[D]. 西安: 中国科学院国家授时中心, 2015.
- [16] 陈菊萍, 于莲芝, 李蛟. 基于 CPLD 的精确频率测量仪设计[J]. 微计算机信息, 2007, 23(8-2): 204-206.
- [17] ROTBERG B, KRONENBERG S, CARMEL M, et al. Additive effects of 5-HTTLPR (serotonin transporter) and tryptophan hydroxylase 2 G-703T gene polymorphisms on the clinical response to citalopram among children and adolescents with depression and anxiety disorders[J]. Journal of Child & Adolescent Psychopharmacology, 2013, 23(2): 117-122.