

引用格式: 崔善超, 马红皎. SDH E1 固定时隙下的时间信息编解码设计与实现[J]. 时间频率学报, 2023, 46(4): 308-319.

SDH E1 固定时隙下的时间信息编解码设计与实现

崔善超^{1,2}, 马红皎¹

1. 中国科学院 国家授时中心, 西安 710600;
2. 中国科学院大学, 北京 100049

摘要: SDH (synchronous digital hierarchy) 光纤网络是一种同步复用的光综合信息传送网络。采用 SDH E1 业务信道构建时间同步系统不仅能够保证时间同步精度, 而且具有较好的稳定性。本文设计了一种 E1 帧在固定时隙中传输时间信息的结构, 然后在这种结构下通过 FPGA (field programmable gate array) 实现了时间信息的 HDB3 (third order high density bipolar codes) 数据编码和解码。本文通过数学模型分析, 在 E1 帧的时间同步信号组合效率上, 这种结构比可选择时隙的组合效率高约 6.7%。基于 E1 线路构建的时间同步系统, 经实验结果验证, 时间同步精度在 500 ns 以内。

关键词: SDH E1; 时间同步; 数据编码

DOI: 10.13875/j.issn.1674-0637.2023-04-0308-12

Design and implementation of time information coding and decoding in SDH E1 fixed time slot

CUI Shan-chao^{1,2}, MA Hong-jiao¹

1. National Time Service Center, Chinese Academy of Sciences, Xi'an 710600, China;
2. University of Chinese Academy of Sciences, Beijing 100049, China

Abstract: SDH (synchronous digital hierarchy) optical fiber network is a synchronous multiplexing optical integrated information transmission network. Using the SDH E1 service channel to build a time synchronization system can not only ensure the time synchronization accuracy, but also have better stability. In this paper we design a structure in which E1 frame transmits time information in fixed time slot, and then realizes HDB3 (third order high density bipolar codes) data encoding and decoding of time information through FPGA (field programmable gate array) under this structure. By establishing a mathematical analytic model, the combination efficiency of this structure is about 6.7% higher than that of the selectable time slot in the time synchronization signal of the E1 frame. The constructed time synchronization system based on the E1 line is verified by the experimental results, and the time synchronization accuracy is within 500 ns.

Key words: synchronous digital hierarchy E1; time synchronization; data coding

0 引言

随着通信技术的发展,时间同步技术不断更新,根据时间同步的精度,各类时间同步技术都有其对应的应用场景,以适应生产发展的需要。基于 SDH (synchronous digital hierarchy) 构建的通信系统自身具有自愈和同步的特征,在目前的传输系统中被广泛采用^[1]。基于光纤具有高精度时间同步的优势,在利用光纤进行高精度时间同步技术深入研究的同时,基于 SDH 光纤网络构建的通信系统占用资源少,能够与现有的通信网进行融合等优点,受到广泛的关注^[2-5]。

通过 SDH 网络进行时间同步,实用性较强,利用 E1/2M 业务通道传递时间信息,只需要接入通用接口的 E1 对时设备,不需要对现有的系统架构和设备进行改动,不占用 SDH 网络资源,最终能够达到纳秒级的传输精度^[6]。采用 SDH E1 构建时间同步系统能够在 GPS (Global Positioning System)、北斗信号时间源中断的过程中,仍能作为一种必要的时间同步手段,提高时间同步的可靠性^[7-8]。E1 是采用 PCM (pulse code modulation) 编码,同时作为欧洲的数据传输标准,我国也采用这种传输标准来进行一些数据传输系统的构建。本论文通过选取最基本的传输单元 E1 进行时间同步系统的研究,同时利用相关的 FPGA (field programmable gate array) 编解码工具,设计并实现了固定时隙的 SDH E1 帧格式、基于 HDB3 的数据编解码技术,通过实验仿真,验证了设计功能的正确性。

1 基于 E1 的时间同步系统设计

基于 SDH E1 构建的时间同步系统整体硬件结构图如图 1 所示^[9-10],把时间同步系统分为主端设备和从端设备,主端设备由时间源获取模块、ARM (advanced RISC machine) 微处理器模块、FPGA 信号处理模块、时钟模块、DDS (direct digital frequency synthesis) 模块、E1 转换模块、接口模块组成;从端设备由 ARM 微处理器模块、FPGA 信号处理模块、时钟模块、E1 转换模块、接口模块组成。

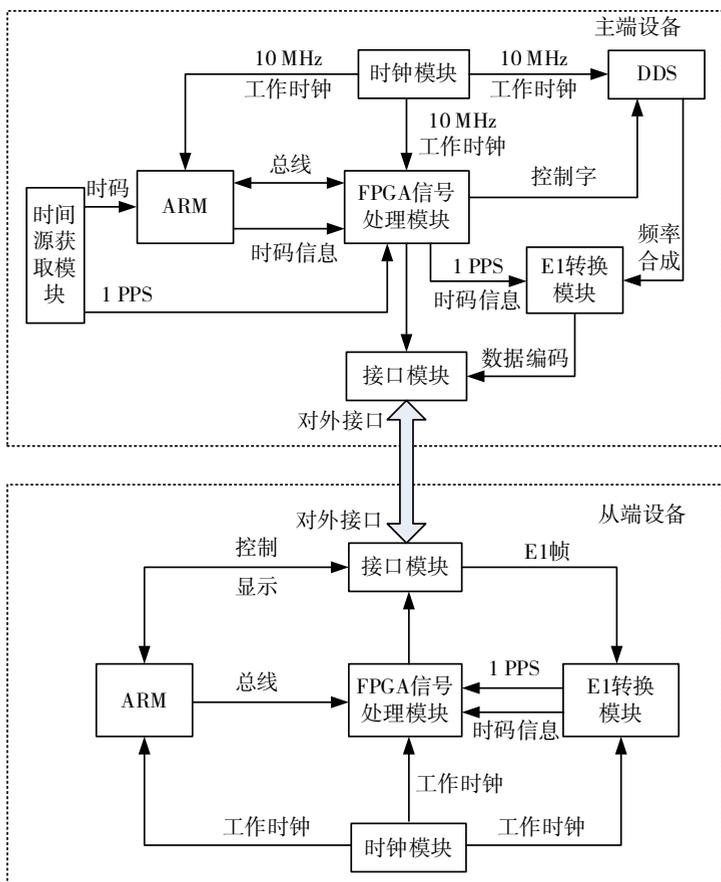


图 1 E1 时间同步系统实现的硬件结构

时间同步系统的工作流程如下：① 首先由主端设备的时间源获取模块，进行时码信息和 1 PPS 秒脉冲信号的获取；② 时码信息发送至 ARM 微处理器模块，ARM 微处理器模块处理时码信息，然后发送给 FPGA 信号处理模块；③ 同时 1 PPS 秒脉冲信号发送至 FPGA 信号处理模块，时钟模块产生工作时钟，FPGA 模块产生控制字，DDS 获得时钟模块和 FPGA 模块的输入后，通过频率合成产生 E1 信号的工作时钟；④ FPGA 将时码信息送到 E1 转换模块，通过 E1 转换模块进行时码信息和秒脉冲信号的组合，将组合后的数据进行编码，形成固定的 E1 帧格式数据流，通过接口模块发送至从端设备；⑤ 从端设备通过接口模块获得 E1 帧格式的数据流后，由 E1 转换模块完成时码信息和秒脉冲信号的分离，将得到的时码信息和 1 PPS 秒脉冲信号发送至 FPGA 模块；⑥ FPGA 模块将得到的时码信息存入存储器中，在时钟模块提供工作时钟的状态下，ARM 通过控制指令将存储器中的时码信息通过接口模块发送出去。

2 时间信息传递协议

以时间同步系统的主端设备和从端设备进行时间同步方式为例，研究在 SDH 网络中以 E1 帧进行数据流的传输过程中，构建起时间同步的方法。

2.1 时间信息的帧格式

根据 ITU-T G.703 标准，E1 信号是 30 路独立 64 kbit/s 速率的信道与 2 路控制信道一起同步复接为一个 32 路数字信道的帧结构。帧的重复频率为 8 000 帧/s，复接后帧的比特率为 2.048 Mbit/s，所以一条 E1 中每个基本帧由 32 个时隙组成，其中每时隙由 8 bit 码组成。按照传输顺序连续 256 bit 组成一个基本帧，基本帧中各比特依次被编排为第 1~256 bit。

一个基本帧中的 256 个 bit 从第 1 个 bit 开始，按每 8 bit 构成一个时隙 (TSn)，共 32 个时隙，将这 32 个时隙依次标记为 TS0, TS1, ..., TS31。每一个时隙中的 8 个 bit 都依次被编排为 TSn 内的第 1~8 个 bit。基本帧内的第 1~8 bit (TS0) 用于传送基本帧定位信号。E1 有成帧、不成帧、成复帧三种状态。在成复帧的 E1 结构中，有 30 个时隙可以传输有效数据。本研究只选择该种格式进行讨论。

选择在成复帧格式下进行数据码流通信，通过使用 E1 帧中的某一固定时隙传递时间信号，如图 2 所示。数据收发设备 A、B 之间经由 SDH 网络传送 E1 帧格式的数据流，假定 m 为时隙中间的某一固定信道，时间同步节点就通过该时隙来传送时间信号。

整个过程为：有一个数据流状态检测开关，在数据发送设备 A 中通过数据流检测，找出固定时隙 m ，将 A 需要进行同步的时间信息加入到固定时隙 m 中，由时间同步主端通过 SDH 网络传送至时间同步从端；然后时间同步从端从时隙 m 中提取出时间信息，数据接收设备 B 收到时隙 m ，完成一次时间信息的传递过程。

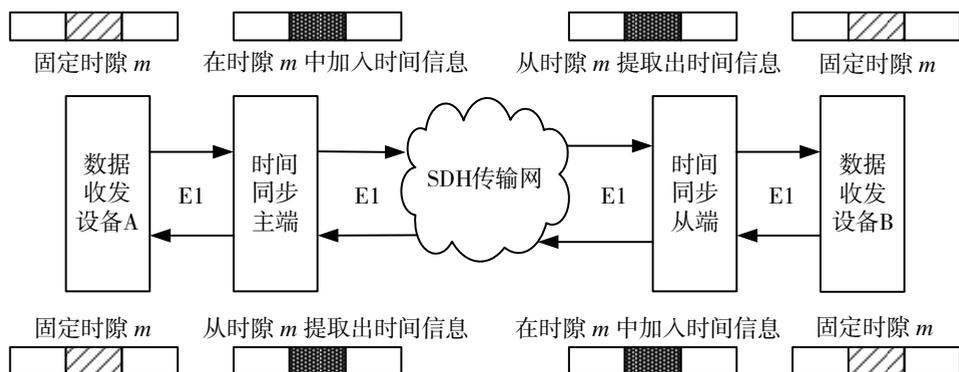


图 2 成复帧格式时间传递过程

时间同步需要时码信息和 1 PPS 信号, 其中一个为数据信息, 一个是时刻信号。而 E1 线路作为数据传输的通道, 是以帧的形式进行数据发送的, 传输过程中编码形式为 HDB3 码, 线路上是时码信息和 1 PPS 信号。我们将 1 PPS 信号作为数据传送的帧头部分, 将时码信息与该 1 PPS 信号所在帧的时隙部分进行组合, 然后作为帧的一部分通过 E1 线路发送出去。

1 PPS 信号是一种时刻信号, 不能进行协议编码, 所以用巴克码作为 1 PPS 信号的标志, 然后加上时码信息一起进行传输。巴克码作为一种伪随机码序列, 具有良好的局部自相关特性和尖锐峰特性, 作为群同步码字, 在码元序列开头插入以便于识别, 在工程技术领域得到广泛关注^[11-12]。

本实验中采用帧同步路作为帧头, 在帧同步路之后, 采用 7 位巴克码“1110010”作为时码信息定位标志, 代表 1 PPS 信号, 后面连接的是时分秒年月日信息, 如图 3 所示。将时信息设为 5 位, 分信息和秒信息均设为 6 位, 年信息设为 13 位, 月信息设为 4 位, 日信息设为 5 位, 时码信息共有 39 位。

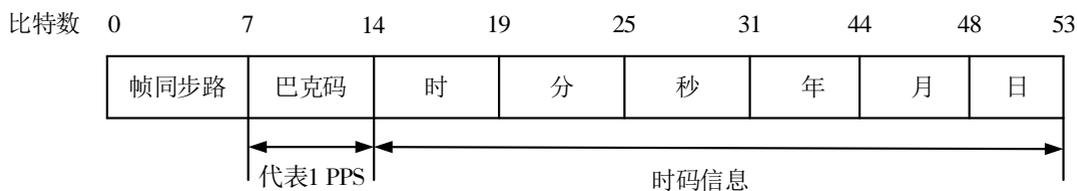


图3 1 PPS 信号和时码信息的组合

对一个基本帧建立数学模型, 基本帧以 7 bit 帧同步路作为帧头, 巴克码作为时码信息的定位标志, 时码信息占 45 bit, 可以看做占用 6 个时隙, 固定编码格式下, 在基本帧中的空闲时隙能够放置时码信息的位置概率为 12/30; 可选择时隙编码格式下, 可选择时隙是将时隙中所有 bit 看作可传输信息的, 但是在 TS0 和 TS16 无法传输时码, 所以在一个基本帧上能够放置时码信息的位置概率为 12/32。在时间同步信号的组合效率上, 固定时隙比可选择时隙的组合效率略高, 约高了 6.7%。

2.2 编解码设计

在 E1 线路中, 当输入的信息被载入到帧中, 形成规定的帧格式的时候, 需要通过相应的编码才能在整个系统中传输。根据 ITU-T G.703 建议: E1 线路的数字接口采用 HDB3 编码^[13]。HDB3 码是在 AMI 码的基础上改进的一种双极性归 0 码, 作为基带通信系统的重要码型之一, HDB3 码无直流成分, 只含有很少的低频成分, 连“0”个数不超过 3 个, 克服了 AMI 码中的长连 0 串现象, 便于接收端提取定时信息。

HDB3 编码过程如下:

- ① 将输入的原始数据码流变成 AMI 码, 形成“+1”和“-1”交替出现的传输码。
- ② 对 AMI 码进行是否有 4 个连“0”的检测, 对第 4 个“0”设置成 V, 极性和它前面的第一个 1 极性相同。
- ③ 对加“V”后的 AMI 码进行检测, 若两个 V 之间 1 的个数为偶数, 则将 4 个连“0”码中第一个“0”设置成“B”, 极性与它前面的一个“1”的极性相反;
- ④ 第 2 个“V”码开始, 后面的“V”码与前一个“V”码进行正负极性交替变换。

例如, 输入的原始数据码流为“1001100001011010000111”, 根据编码规则, 分别经过加 V 码、加 B 码以及极性变换后得到 HDB3 编码如表 1 所示。

表 1 HDB3 编码结果

| | | | | | | | | | | | | | | | | | | | | | | |
|--------|----|---|---|----|----|---|---|---|----|----|---|----|----|---|----|----|---|---|----|----|----|----|
| 原始码流 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 |
| AMI 码 | +1 | 0 | 0 | -1 | +1 | 0 | 0 | 0 | 0 | -1 | 0 | +1 | -1 | 0 | +1 | 0 | 0 | 0 | 0 | -1 | +1 | -1 |
| 加 V 码 | +1 | 0 | 0 | -1 | +1 | 0 | 0 | 0 | +V | -1 | 0 | +1 | -1 | 0 | +1 | 0 | 0 | 0 | -V | +1 | -1 | +1 |
| 加 B 码 | +1 | 0 | 0 | -1 | +1 | 0 | 0 | 0 | +V | -1 | 0 | +1 | -1 | 0 | +1 | B | 0 | 0 | -V | +1 | -1 | +1 |
| HDB3 码 | +1 | 0 | 0 | -1 | +1 | 0 | 0 | 0 | +1 | -1 | 0 | +1 | -1 | 0 | +1 | -1 | 0 | 0 | -1 | +1 | -1 | +1 |

对于 HDB3 编码部分, 有 3 个步骤, 包括: 加“V”操作、加“B”操作、极性变换操作, 为了更方便地进行软件实现, 如表 2 所示, 将其对应的码型转换为两位字符表示。

表 2 HDB3 编码后应该转换的码型

| 二数码 | 转换后的编码 |
|-----|--------|
| 0 | 00 |
| 1 | 01 |
| B | 10 |
| V | 11 |

在加“V”操作中, 作用是检测二数码中连“0”的个数, 一旦连“0”的个数达到 4 个, 就将第 4 个“0”变成“V”。具体的操作流程图如图 4 所示。

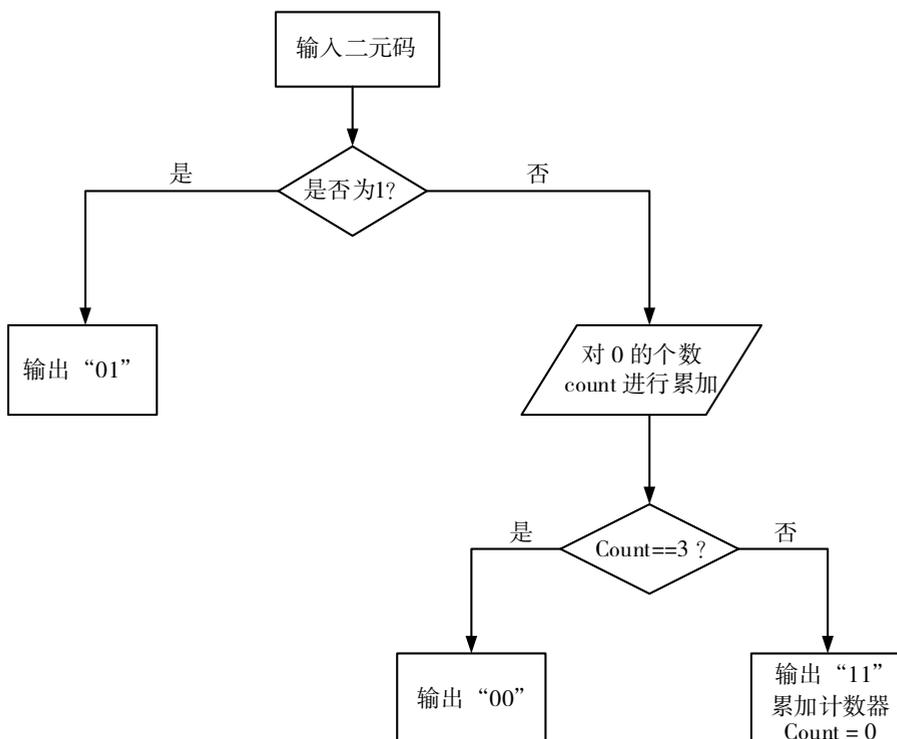


图 4 HDB3 编码加“V”流程图

然后进行加“B”操作, 作用是检测相邻两个“V”之间是有奇数个“1”还是偶数个“1”, 当“1”的个数为偶数个时, 从后往前数“0”的个数, 将“V”前面的第 3 个“0”变为“B”。具体的操作流程图如图 5 所示。

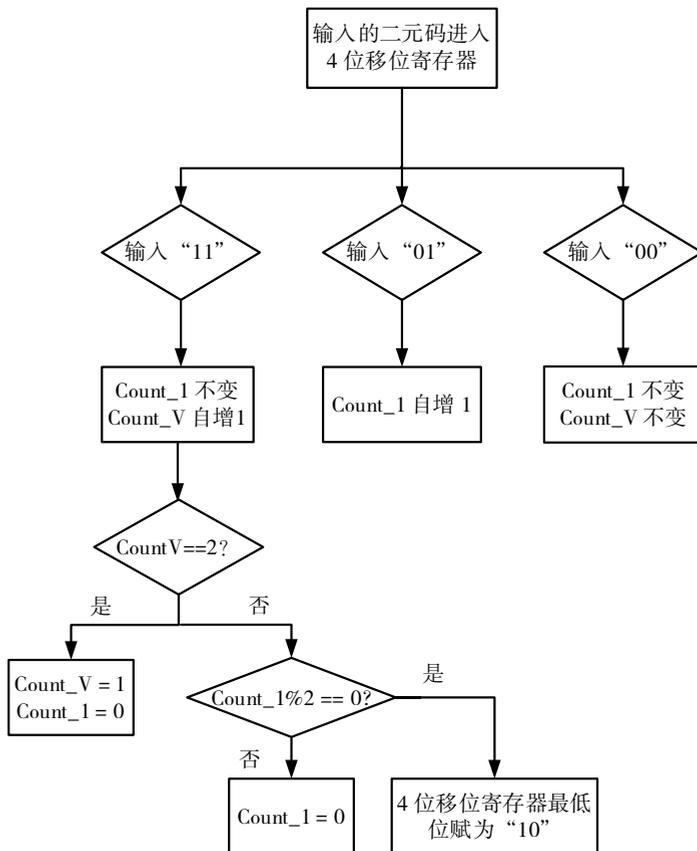


图 5 HDB3 编码加 B 操作图

再接着，进行极性变换操作，作用是满足整串码流中“V”的极性是正负交替的，而且整串码流中“1”、“B”和“V”的极性也是正负交替的。极性变换后的输出应该为“0”，“+1”，“-1”，这时用“00”来表示“0”，用“01”来表示“+1”，用“10”来表示“-1”。具体的流程图如图 6 所示。

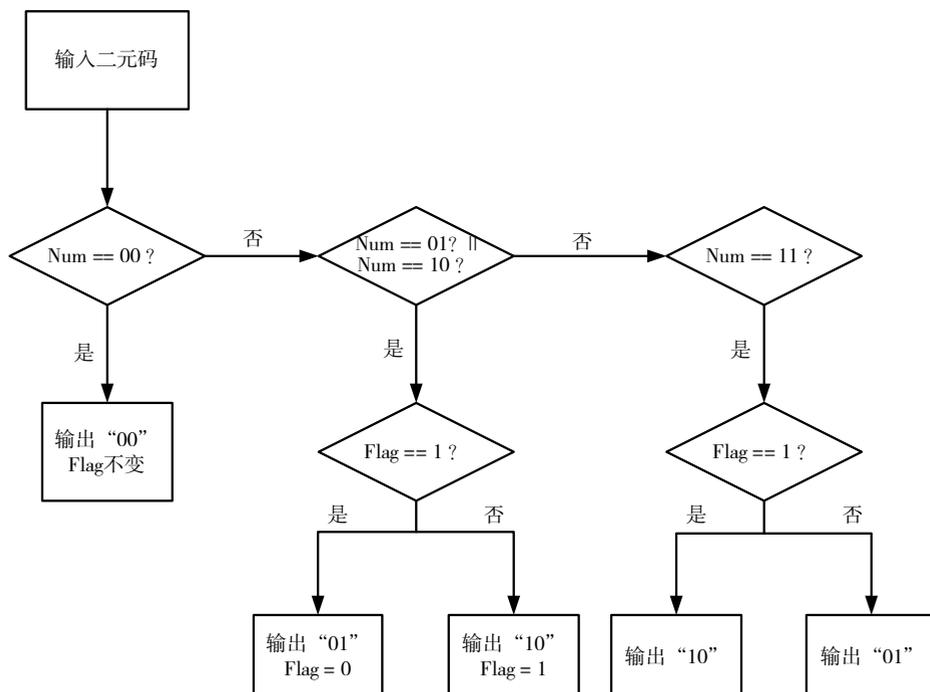


图 6 HDB3 编码极性转换图

HDB3 解码过程就是将编码后得到的码流进行去“B”、去“V”和极性恢复操作，然后恢复成为原始的数据码流的过程。

2.3 编码实现

在主端设备 E1 帧的生成之后，我们需要做的就是对数据进行编解码的过程，整个系统中就是采用 HDB3 编码方式对数据进行编码的。

在数字电路中，只有“0”和“1”，无法对“V”、“B”字符进行传输，所以对于编码过程中出现的“V”、“B”、“+1”、“-1”进行标记，以便于后期的处理。HDB3 编解码模块主要是对出现的二进码进行加“V”、加“B”和极性转换的操作。在进行加“V”、加“B”的两个过程中，“0”用“00”表示，“01”用“01”表示，“V”用“11”表示，“B”用“10”表示。在极性转换过程中，以“00”表示“0”，“10”表示“+1”，“01”表示“-1”。以“1000100110000010100001000010000011100 00000011”为测试数据进行测试，考虑到相邻两个 V 之间会出现的奇数个“1”和偶数个“1”的情况，“0”的个数的情况，所以测试数据具有一般性。

编解码的顶层设计电路原理如图 7 所示，可以看到顶层设计是由 3 个子模块构成：插“V”模块、插“B”模块和极性转换模块。

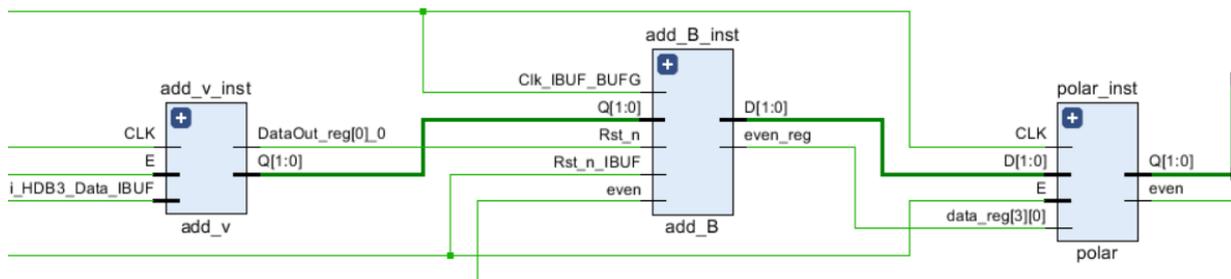


图 7 顶层设计电路原理图

前半段详细的仿真图像见图 8，可以看到最后的输出延时有 6 个周期，因为其中使用了 6 个寄存器，在插“V”模块使用了 1 个寄存器，插“B”模块使用了 4 个寄存器，极性转换模块使用了 1 个寄存器。

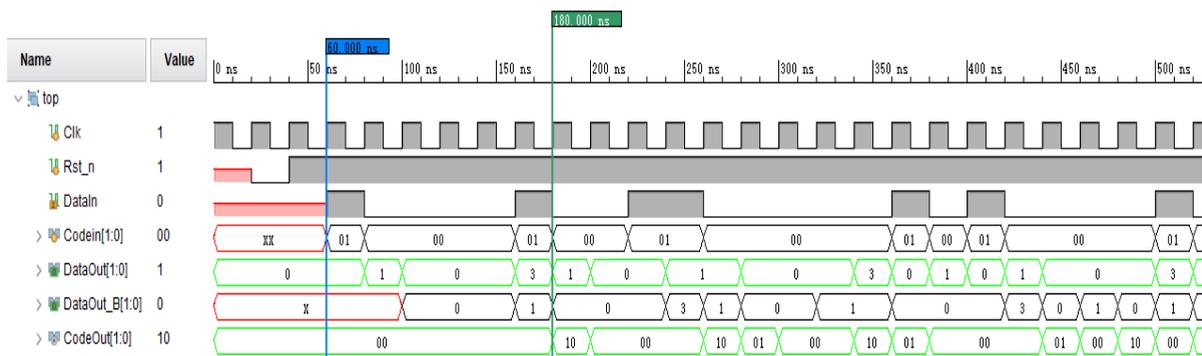


图 8 前半段详细的仿真图像

其中极性转换模块部分如图 9 所示，可以看到极性转换时初始第 1 个 1 的极性是设置为负号，一开始是负脉冲，第 1 个转换的“V”的极性与第 1 个 1 的极性相同。

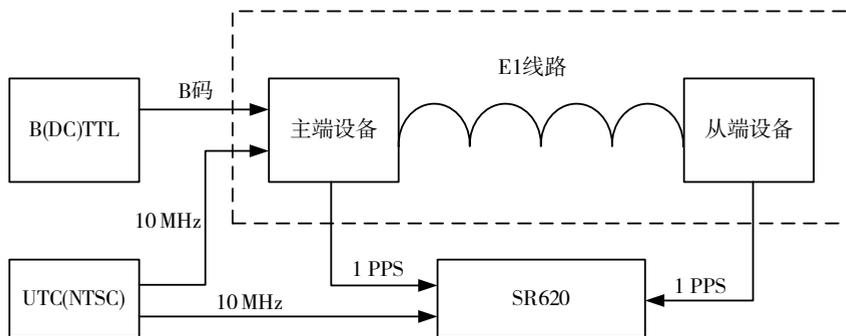


图 12 E1 时间同步系统测试图

主端设备是以 UTC (NTSC) 输出的 10 MHz 为参考频率源, 接入外部 B (DC) TTL 信号, 并在内部解调电路中恢复 1 PPS 信号和 TOD (time of date) 时间信息, 从端设备采用普通恒温晶振作为频率源, 主端设备和从端设备通过 E1 线路进行连接。主端设备将收到的时间信息和 1 PPS 信号进行组合, 加载到 E1 帧中进行编码, 生成标准的 E1 帧格式的信号。将该信号通过 E1 线路进行传输, 从端设备收到信号后, 对该信号进行解码和解帧操作, 恢复出时间信息和 1 PPS 信号。将主端设备和从端设备连接的 1 PPS 信号同时接到 SR620 时间间隔计数器上, 用来测量从端设备输出的 1 PPS 信号相对于主端设备的时间间隔数据。

本次实验通过分时间段采集了两次测试数据, 进行实际数据的测试验证, 分析时间同步的精度和时间同步的效果。图 13 是使用 2 m 电缆线进行数据采集的结果统计, 经过约 11.2 h, 总共采集了约 40 000 个数据点, 经过计算得到均值为 11 476.68 ns, 标准差为 137.26 ns。图 14 是去除固定延时之后, 测量数据的同步偏差。图 13 和 14 中的横坐标是按时间顺序采集的数据点, 纵坐标是主端设备和从端设备时间同步的偏差, 也就是主端设备和从端设备的时间同步精度。

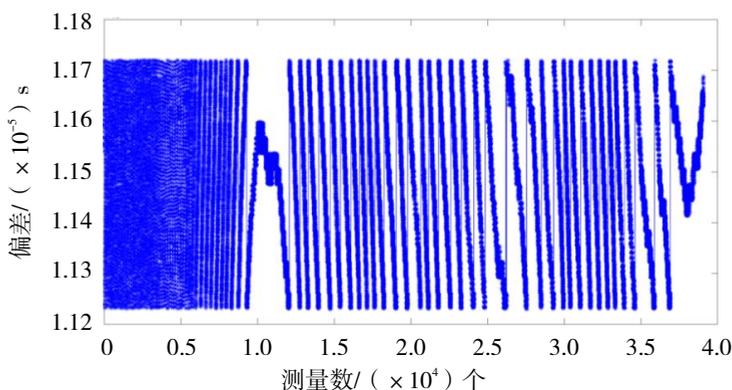


图 13 2 m 电缆线数据采集结果统计

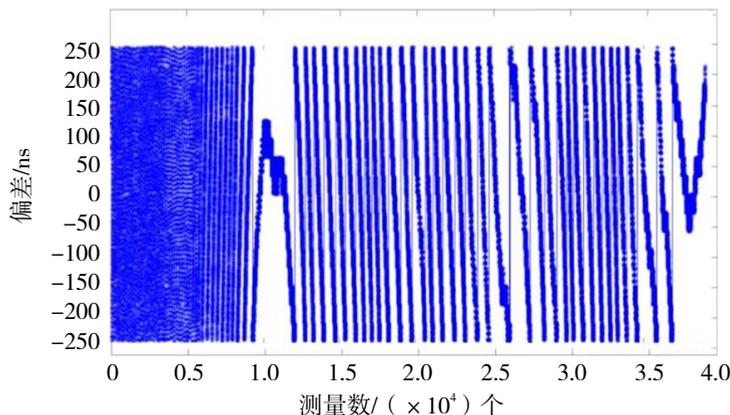


图 14 2 m 电缆线去除固定延时的数据

图 15 是将图 14 中的前 650 个数据点进行放大展示,可以看到数据总在 0 的左右呈现近似锯齿状的波动。通过观察图 15 可以得到数据波动范围约为 500 ns。对 2 m 电缆线的测试结果画出统计直方图,如图 16 所示。

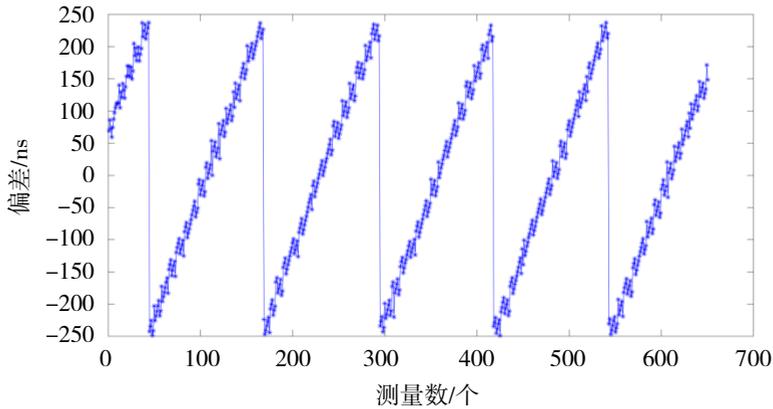
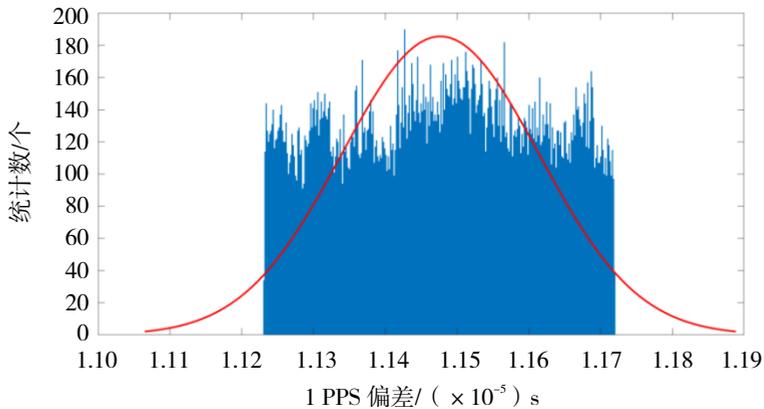


图 15 2 m 电缆线去除固定延时后前 650 个数据点



注:均值为 11 476.68 ns, 标准差为 137.26 ns, 均方根为 11 477.51 ns

图 16 2 m 电缆线原始测量数据直方图

图 17 是使用 5 m 电缆线进行数据采集的结果统计,经过约 11.6 h,总共采集了约 42 000 个数据点,经过计算得到均值为 11 490.66 ns,标准差为 140.8 ns。图 18 是去除固定延时之后,测量数据的同步偏差。

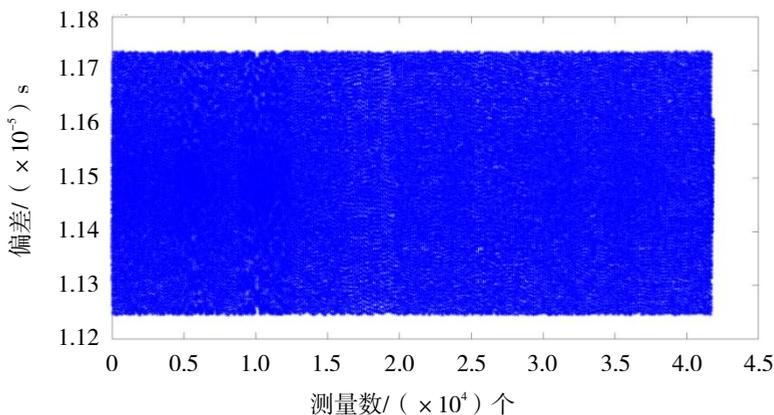


图 17 5 m 电缆线数据采集结果统计

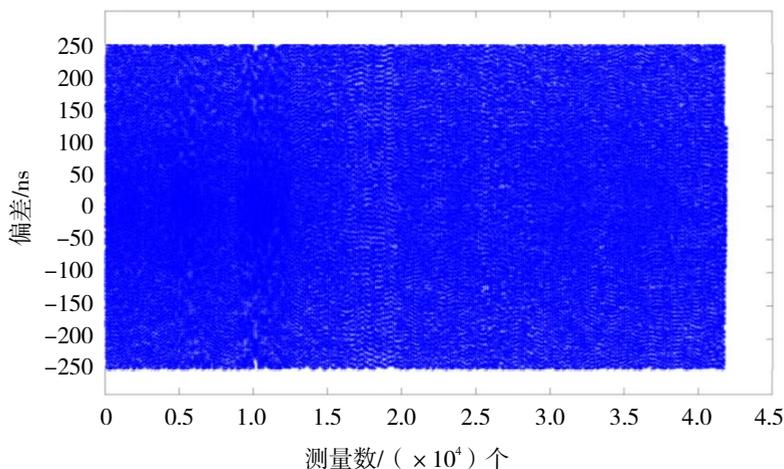


图 18 5 m 电缆线去除固定延时的数据

图 19 是将图 18 中的前 650 个数据点进行放大展示, 可以看到数据也总在 0 的左右呈现近似锯齿状的波动。通过观察图 19 可以得到数据波动范围约为 500 ns。对 5 m 电缆线的测试结果画出统计直方图, 如图 20 所示。

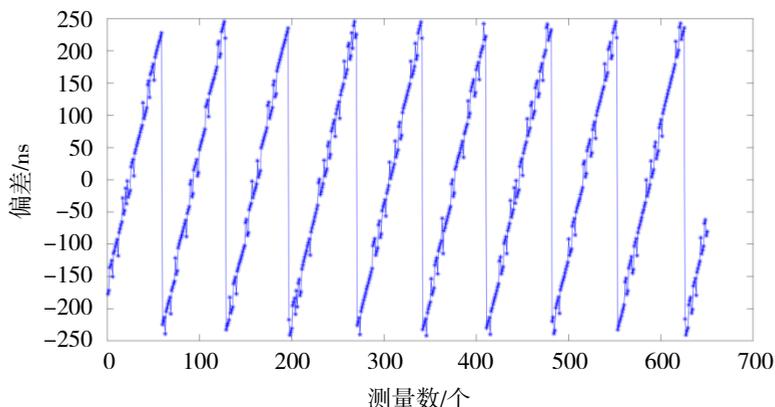
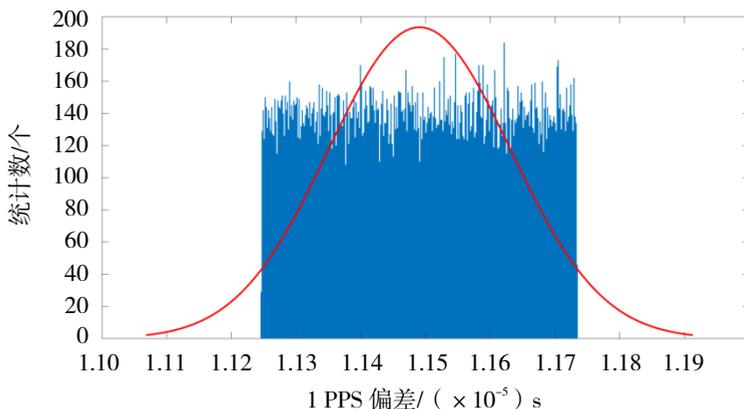


图 19 5 m 电缆线去除固定延时后前 650 个数据点



注: 均值为 11 490.66 ns, 标准差为 140.80 ns, 均方根为 11 491.52 ns

图 20 5 m 电缆线原始测量数据直方图

本次实验测试, 分时间段采集了两次数据, 通过对数据进行统计分析, 两次实验中数据点的时间同步精度均在 500 ns 内进行波动, 因此本实验设计的基于 E1 线路的时间同步系统的时间同步精度在 500 ns 以内。

因为使用 E1 线路的数据传输速率在 2.048 Mbit/s, 所以从端设备在接收到数据的时候, 会存在 $(1/2.048 \text{ Mbit}) \text{ s}$ 的不确定度, 大约是 488 ns。在进行实际测量过程中, 会存在 488 ns 的不确定度, 这正好与本文图 15, 19 呼应。本实验的测试结果与预期的相符合, 说明设备功能符合同步要求。

4 结语

基于 E1 的帧格式设计和 HDB3 编解码原理, 建立时码信息固定的 SDH E1 帧格式和数据编解码方案, 在 FPGA 上进行仿真实验, 验证功能的正确。基于本文的设计结果, SDH 光纤网络在保证语音、图像等数据传输业务的同时, 能够通过信道的特性和传输的需要, 编码实现对 E1 帧格式中时间同步信息的传输, 为提高时间同步系统的效率提供重要的支撑。

参考文献:

- [1] 席晓. SDH 网络的时间同步技术的分析[J]. 科技风, 2015(12): 12-13.
- [2] RAUPACH S M F, GROSCHE G. Chirped frequency transfer: a tool for synchronization and time transfer[J]. IEEE Transactions on Ultrasonics, Ferroelectrics, and Frequency Control, 2014, 61(6): 920-929.
- [3] KREHLIK P, SLIWICZYNSKI L, BUCZEK L, et al. Fiber-optic joint time and frequency transfer with active stabilization of the propagation delay[J]. IEEE Transactions on Instrumentation and Measurement, 2012, 61(10): 2844-2851.
- [4] 王翔, 王荣, 卢麟, 等. 基于 SDH 网络的高精度授时研究[J]. 光电子·激光, 2015, 6(2): 51-258.
- [5] 张大元, 谢毅, 孟艾立, 等. 利用光纤数字同步传送网 2.048 Mbit/s 支路传送高精度标准时间信号[J]. 现代电信科技, 2006(12): 17-20+25.
- [6] KIHARA M, IMAOKA A. System configuration for standardizing SDH-based time and frequency transfer[C]//European Frequency and Time Forum, 1996, 418: 465-470.
- [7] 张相国, 李飞, 余洗浩. SDH 技术在光纤通信网络中的应用分析[J]. 网络安全技术与应用, 2017(8): 36+47.
- [8] 刘增基, 周洋溢, 胡辽林, 等. 光纤通信[M]. 西安: 西安电子科技大学出版社, 2008.
- [9] SERIZAWA Y, KITAMURA K, MYOUJIN M, et al. SDH-based time synchronous system for power system communications[J]. IEEE Transactions on Power Delivery, 1998, 13(1): 59-65.
- [10] 陈宁, 李洪涛, 俞刚. 电力系统中基于 SDH 的时间同步系统研究[J]. 科学技术与工程, 2011, 11(16): 3672-3674+3678.
- [11] 徐庆, 徐继麟, 周先敏, 等. 线性调频二相编码雷达信号分析[J]. 系统工程与电子技术, 2000, 22(12): 7-8.
- [12] 韩红霞, 曹立华, 刘帅师. 基于 FPGA 的光纤通信系统中帧同步头检测设计[J]. 电光与控制, 2006(4): 90-92.
- [13] ITU-T. Recommendation G.703: Physical/electrical characteristics of hierarchical digital interfaces[K]. Geneva: ITU-T, 2001.